Latch sincroni e flip-flop

Prof. Alberto Borghese
Dipartimento Informatica
borghese@di.unimi.it

Università degli Studi di Milano

Riferimento Patterson: sezioni B.7 & B.8.

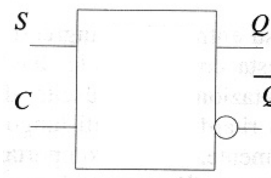
Sommario

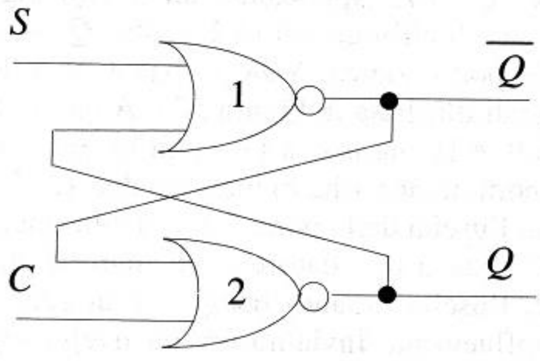
Latch sincroni SR

Latch sincroni D

Flip-flop

Latch asincrono SC (o SR)

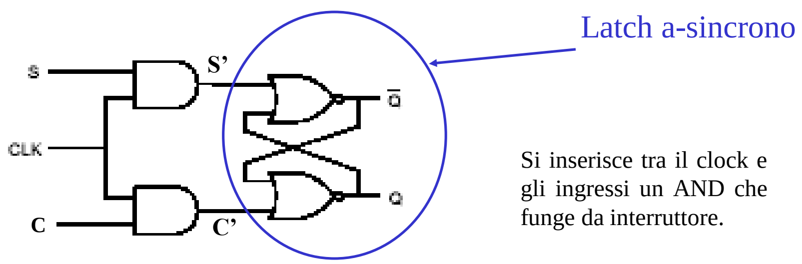




S = set
C = clear (R = reset)

Una coppia di porte NOR retro-azionate può memorizzare un bit.

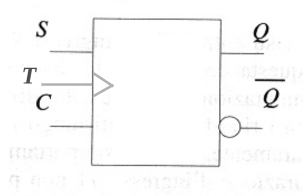
Il latch SC sincrono



Si inserisce tra il clock e gli ingressi un AND che funge da interruttore.

If (CLK = H = 1) then
S' =S; C' =C

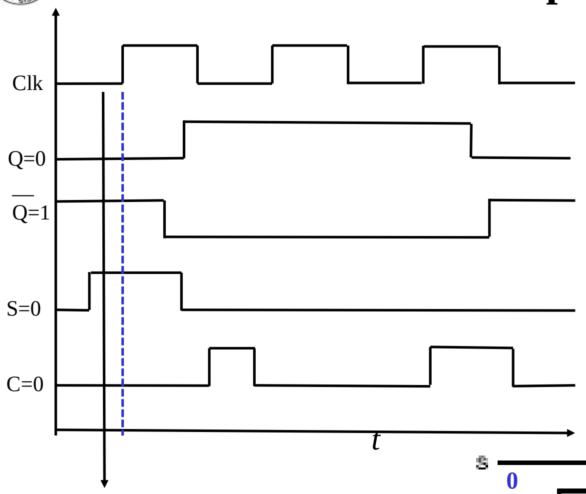
If (CLK = L = 0) then
S' = C' = 0

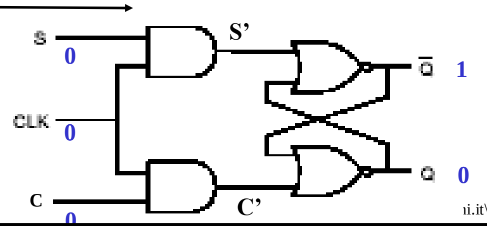


Solo quando il clock è alto i "cancelli" rappresentati dagli AND fanno passare gli input (collegano l'altro ingresso dell'AND con l'uscita). Cancelli di «abilitazione» del latch.

Latch asincrono, sincronizzato.

Il latch sincrono nel tempo: clock basso

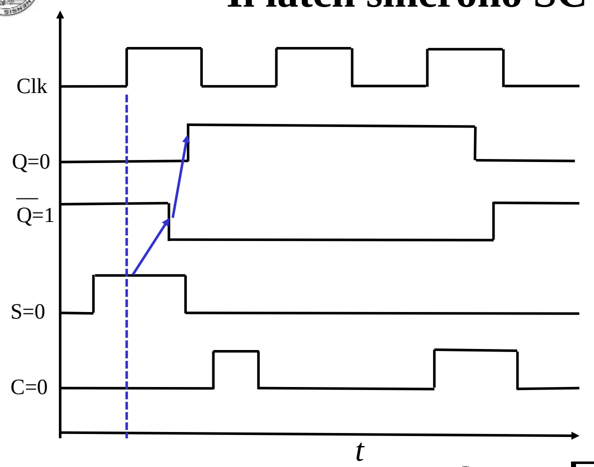




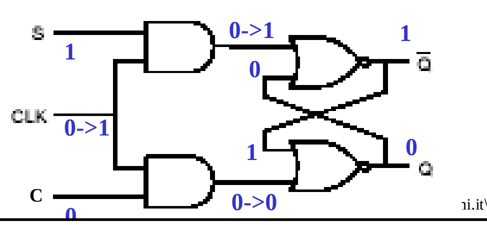
$Q_{t=0} = 0$

$\overline{Q}_{t=0} = 1$

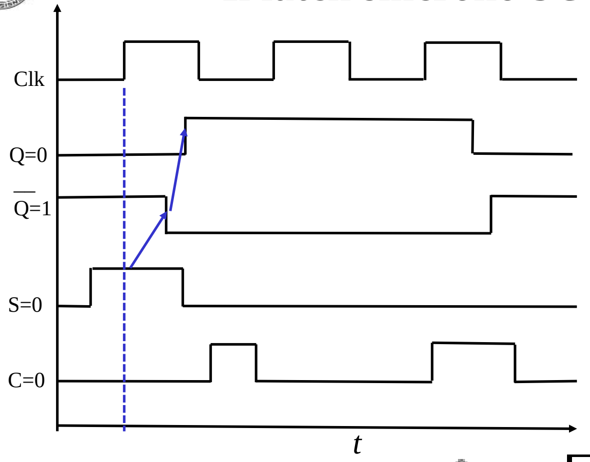
Il latch sincrono SC - set

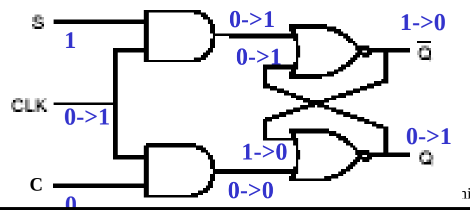


NB: $\overline{Q}$ commuta dopo 2 ΔT dalla Commutazione del clock.



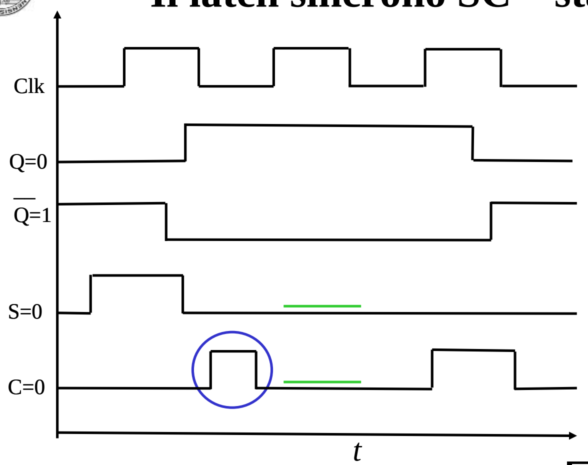
Il latch sincrono SC - set

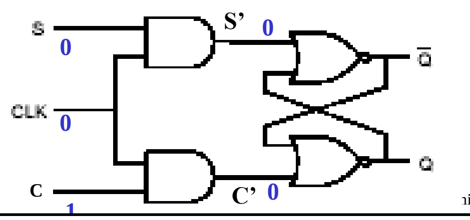




NB: $\overline{\text{Q}}$ commuta dopo 2 ΔT dalla Commutazione del clock.

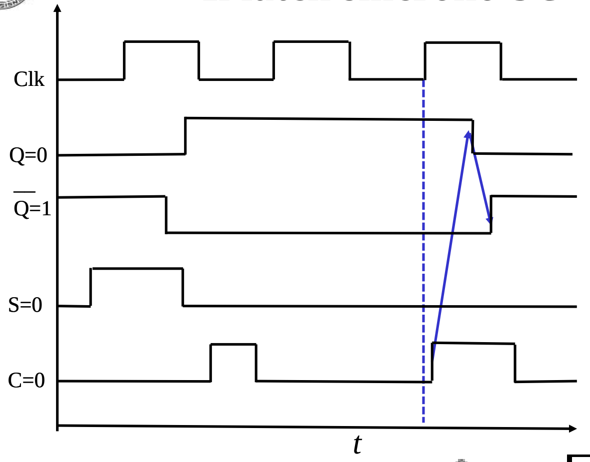
Il latch sincrono SC – status quo

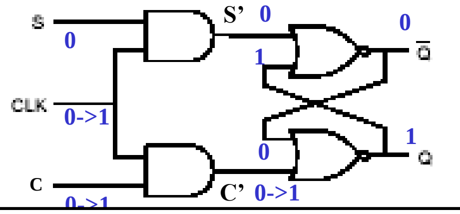




Status quo quando S'=C'=0:
S = C = 0
or
CLK = 0

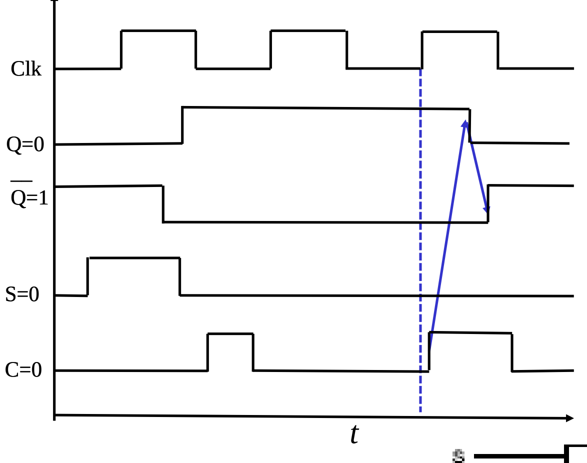
Il latch sincrono SC - clear

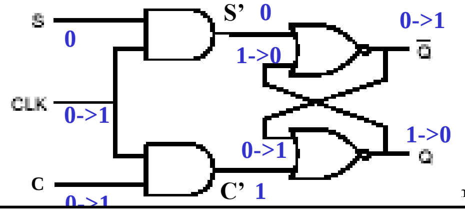




NB: Q commuta dopo 2 ΔT dalla
Commutazione di C.

Il latch sincrono SC - clear

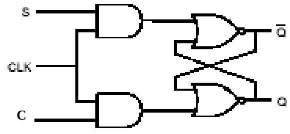




NB: Q commuta dopo 2 ΔT dalla
Commutazione di C.

Tabella della verità e tabella di transizione

T	Q	S	C	Q*
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	X
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	X



TQ	SC = 00	SC = 01	SC = 10	SC = 11
00	0	0	0	0
01	1	1	1	1
10	0	0	1	X
11	1	0	1	X

Q* = f(S,C,Q,**T**)

Q è l'uscita del latch: stato presente.
Q* è il valore dell'uscita al tempo successivo: stato prossimo.

Tabella della verità - I

T	Q	S	C	Q*
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	X = 0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	X = 0

Q* = f(S,C,Q,**T**)

TQ	SC = 00	SC = 01	SC = 10	SC = 11
00	0	0	0	0
01	1	1	1	1
10	0	0	1	X=0
11	1	0	1	X=0

$$Q^* = \overline{T}Q\overline{S}\,\overline{C} + \overline{T}Q\overline{S}C + \overline{T}QS\overline{C} + \overline{T}QSC + T\overline{Q}S\overline{C} + TQ\overline{S}\,\overline{C} + TQS\overline{C} =$$

$$= \overline{T}Q\overline{C} + TQ\overline{S}\,\overline{C} + \overline{T}QC + TS\overline{C} =$$

$$= \overline{T}Q + TQ\overline{S}\,\overline{C} + TS\overline{C} = \qquad \overline{T}Q + T(Q\overline{S}\,\overline{C} + S\overline{C})$$

Status quo (Memory)

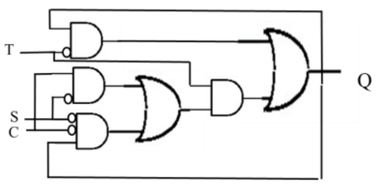
Set

TSC = 1 -> Q*=0

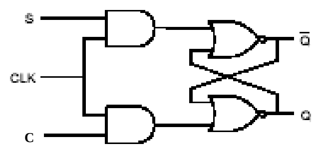
Circuito SOP semplificata

TQ	SC = 00	SC = 01	SC = 10	SC = 11
00	0	0	0	0
01	1	1	1	1
10	0	0	1	X=0
11	1	0	1	X=0

$Q^* = \overline{T}Q + T(Q\overline{S}\,\overline{C} + S\overline{C})$



CC = 5 CO = 7



CC =3 CO = 4
calcoliamo anche !Q

T	Q	S	C	Q*
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	X = 1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	X = 1

Tabella della verità - II

$Q^* = f(S,C,Q,T)$

TQ	SC = 00	SC = 01	SC = 10	SC = 11
00	0	0	0	0
01	1	1	1	1
10	0	0	1	X=1
11	1	0	1	X=1

$Q^* = \overline{T}Q\overline{S}\,\overline{C} + \overline{T}Q\overline{S}C + \overline{T}QS\overline{C} + \overline{T}QSC + T\overline{Q}S\overline{C} + TQ\overline{S}\,\overline{C} +$

$+ T\overline{Q}SC + TQS\overline{C} + TQSC =$

$= \overline{T}Q\overline{C} + TQ\overline{S}\,\overline{C} + \overline{T}QC + TS\overline{C} + TSC =$

$= \overline{T}Q + TQ\overline{S}\,\overline{C} + TS = \overline{T}Q + T(Q\overline{S}\,\overline{C} + S)$

Cf. Latch asincrono

Status quo (Memory)

Set

Sommario

Latch sincroni SR

Latch sincroni D

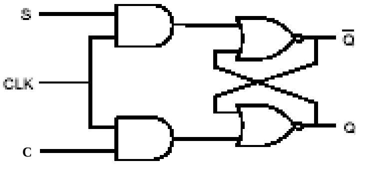
Flip-flop

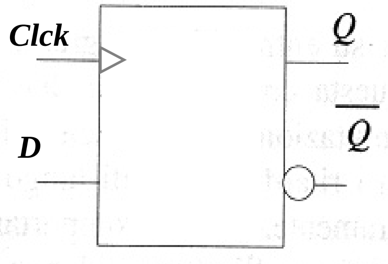
Latch D sincrono

Memorizza il valore presente all'ingresso dati quando il clock è alto.

if (CLK = 1)
then
Q* = D

If (CLK = 0)
then
Q* = Q





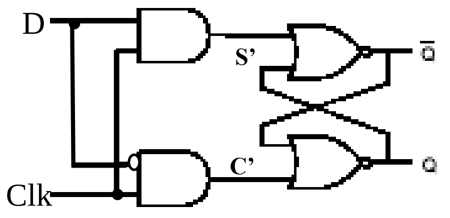
Latch-D

Latch trasparente sincrono

La struttura del latch D

If (CLK==1)
    S' =D; C' = !D
Q*=D

If (CLK = 0
    S'=C'=0
Q*=Q



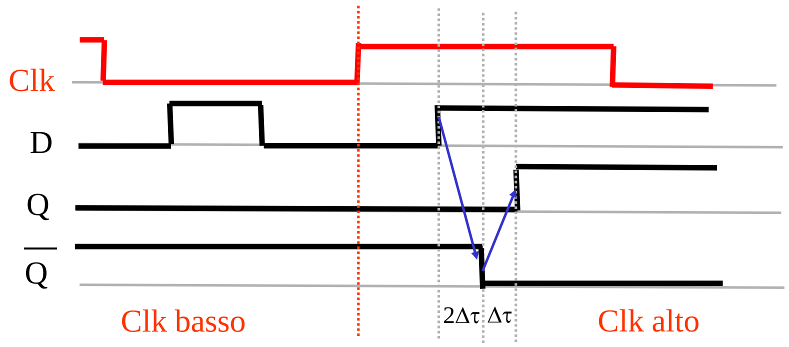


Tabella delle transizioni

$Q^* = f(T,Q,D)$

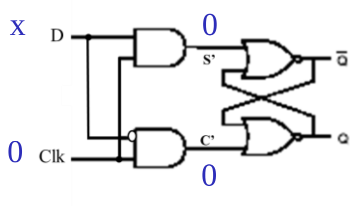
TQ	D = 0	D = 1
00	0	0
01	1	1
11	0	1
10	0	1

La funzione logica corrispondente è:

$Q^* = TD + \bar{T}Q$

$Q^* = D$ Status quo

Q è l'uscita del latch: stato presente.
Q* è il valore dell'uscita al tempo successivo: stato prossimo.



$Q^* = Q$

Tabella delle transizioni

$Q^* = f(T,Q,D)$

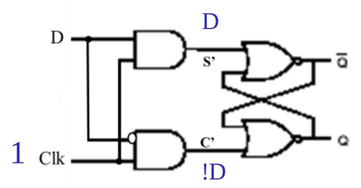
TQ	D = 0	D = 1
00	0	0
01	1	1
11	0	1
10	0	1

La funzione logica corrispondente è:

$Q^* = TD + \bar{T}Q$

Q* = D

Status quo



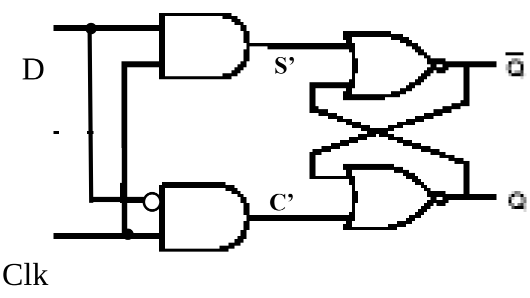
Q è l'uscita del latch: stato presente.
Q* è il valore dell'uscita al tempo successivo: stato prossimo.

Come mai qui non si verifica la situazione S'=C'=1?

Q* = D

Tabella della verità

$Q^* = f(T,Q,D)$



T	D	Q	Q*
0	0	0	**0**
0	0	1	**1**
0	1	0	**0**
0	1	1	**1**
1	0	0	**0**
1	0	1	**0**
1	1	0	**1**
1	1	1	**1**

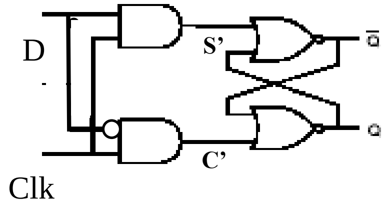
$$Q^* = \bar{T}\,\bar{D}\,Q + \bar{T}\,D\,Q + T\,D\,\bar{Q} + T\,D\,Q =$$

$$= \bar{T}\,Q + T\,D$$

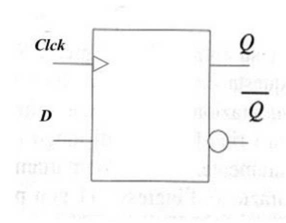
Status quo

Q* = D

Osservazioni

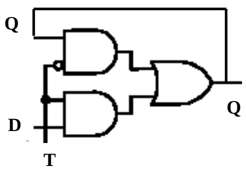


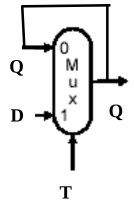
Complessità 4
Cammino critico 3



Clk come interruttore che pilota un mux:

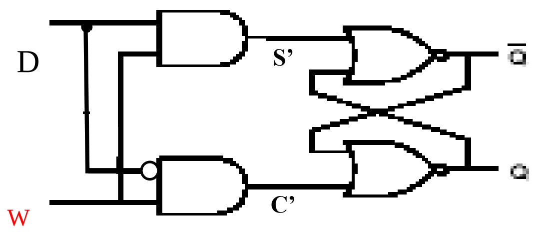
$Q^* = \overline{T}\,Q + T\,D$





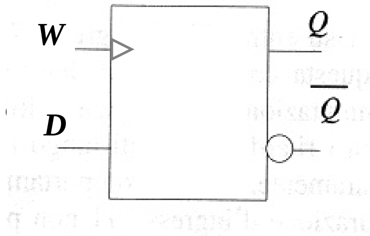
Complessità 3
Cammino critico 2

Elemento di memoria



T = segnale di scrittura -> segnale **W**rite – attivo alto

Se W = 1, scrivo D
Se W = 0, mantiene il
in memoria

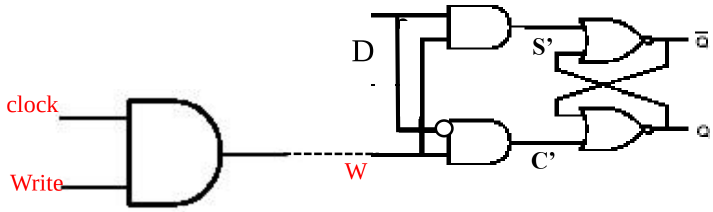


$Q^* = \overline{T}\,Q + T\,D$

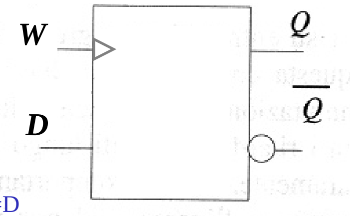
$Q^*=Q$
Status Quo
(memory)

$Q^* = D$
(write)

Elemento di memoria



Write può essere sincronizzato dal clock



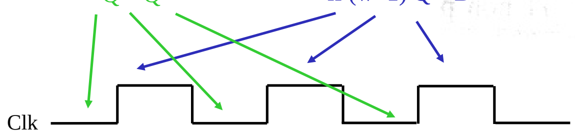
$$Q^* = \overline{W}\,Q + W\,D$$

Q*=Q
Status Quo
(memory)

Q* = D
(write)

Q*=Q

if (w=1) Q*=D



Sommario

Latch sincroni SR

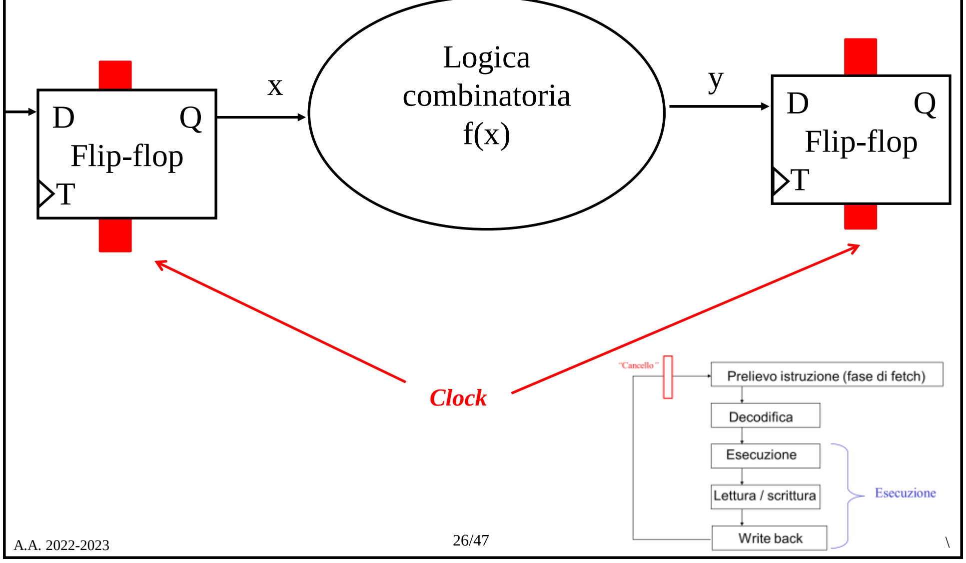
Latch sincroni D

Flip-flop

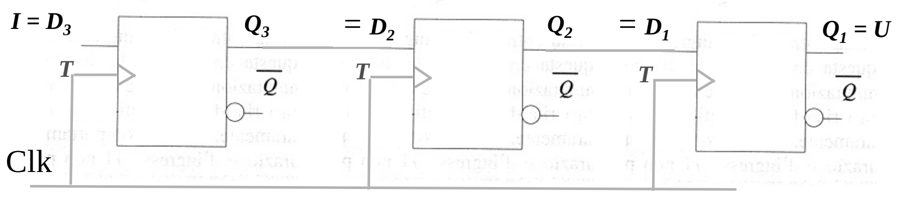
I bistabili

- Elementi di memoria (latch)
  - Sincroni
  - A-sincroni
- "Cancelli" (flip-flop)

Struttura di un circuito sequenziale

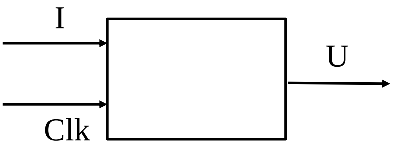


Shift register

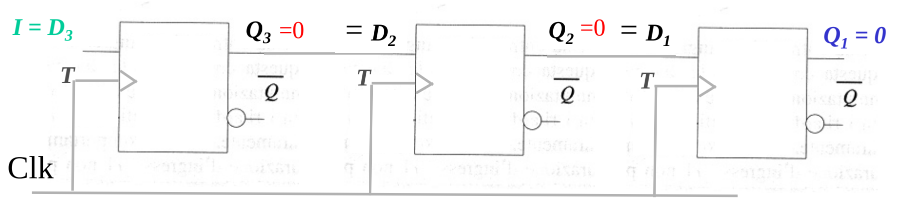


Registro a scorrimento (shift register o barrel shifter).
•Un unico ingresso I e un'unica uscita U.
•In presenza di un segnale attivo (clock alto), il contenuto viene spostato verso dx **di una posizione** (e.g. operazione di shift).
•Il valore contenuto nell'elemento più a dx dove va?

• Qual'è il problema con l'utilizzo dei latch sincroni?



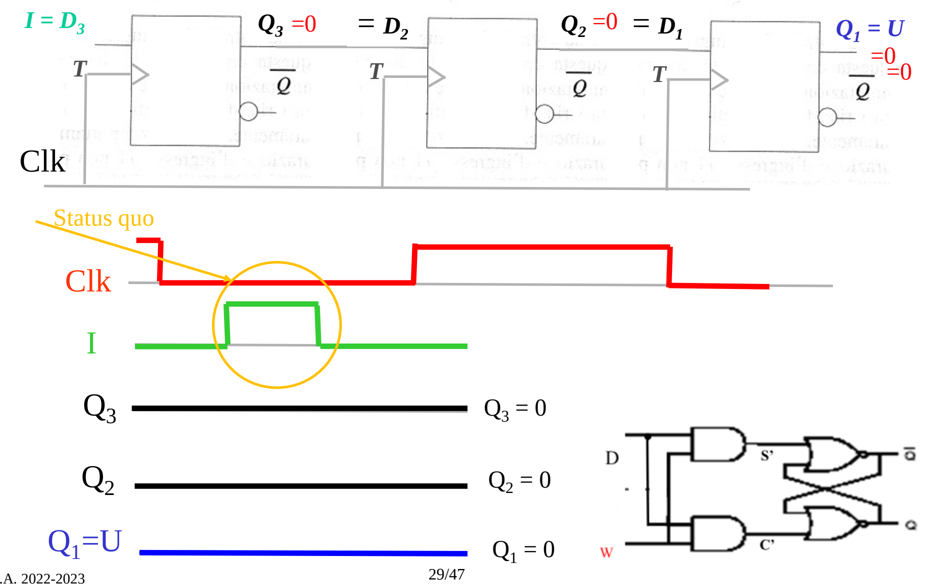
Shift register con i latch (i problemi)



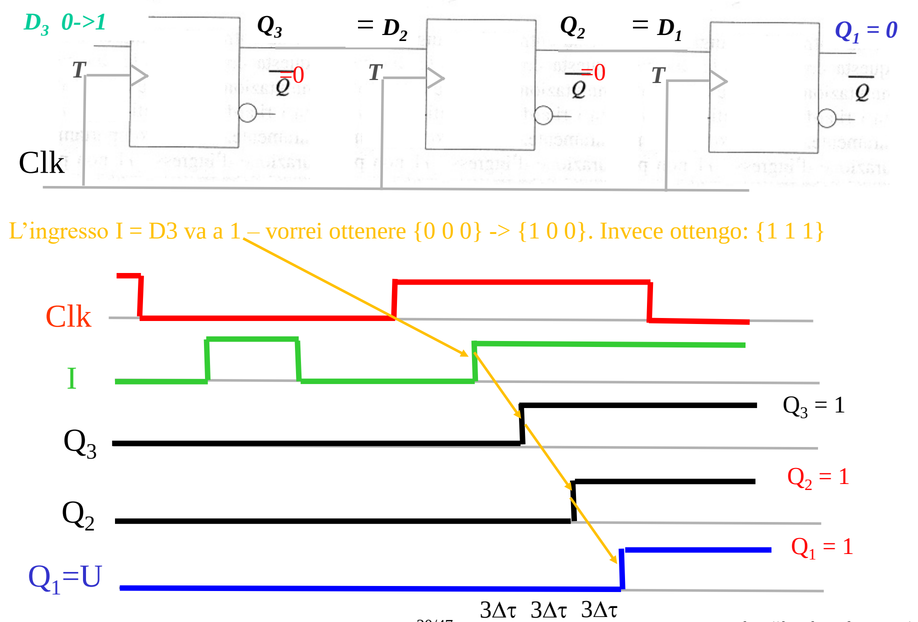
Fotografiamo la situazione iniziale:
- Clock basso
- $Q_3 = Q_2 = Q_1 = 0$
- $D_3 = 0$

Shift di 1 posizione:
$D_2 = Q_3$
$D_1 = Q_2$

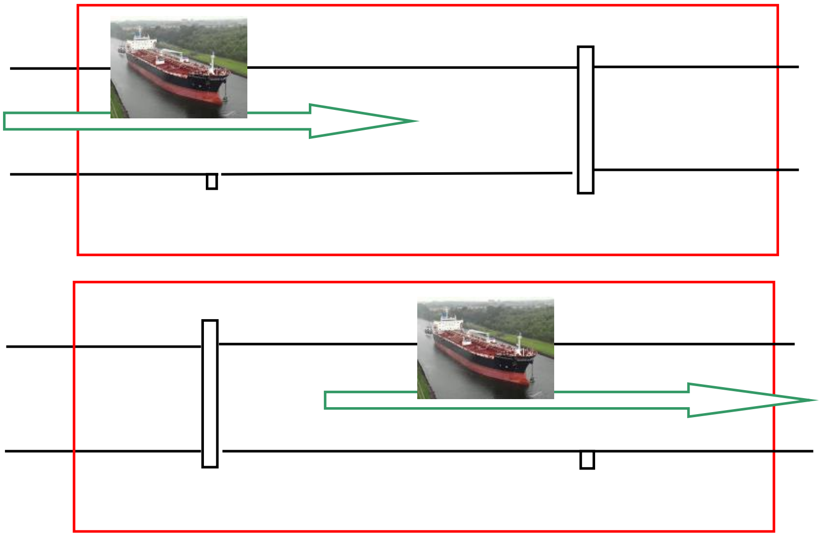
Shift register con i latch (status quo)



Shift register con i latch (il problema)



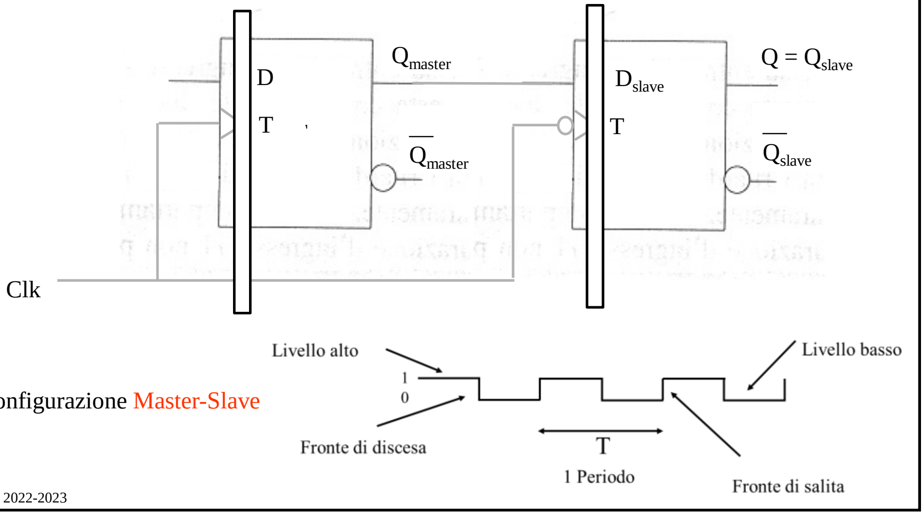
Dispositivo di sincronizzazione



Sistema di “chiuse”

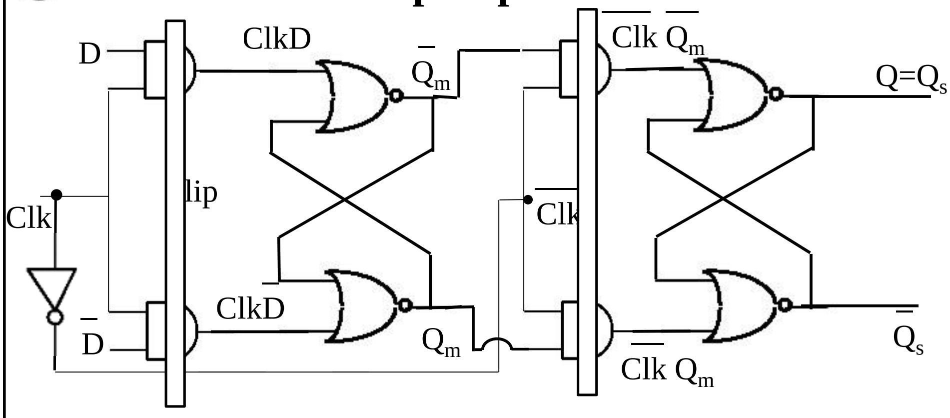
Flip-flop

Dispositivi attivi sul fronte (di salita o discesa) del clock (edge sensitive): il loro stato (uscita) può commutare solo in corrispondenza della transizione alto->basso o basso->alto del clock.



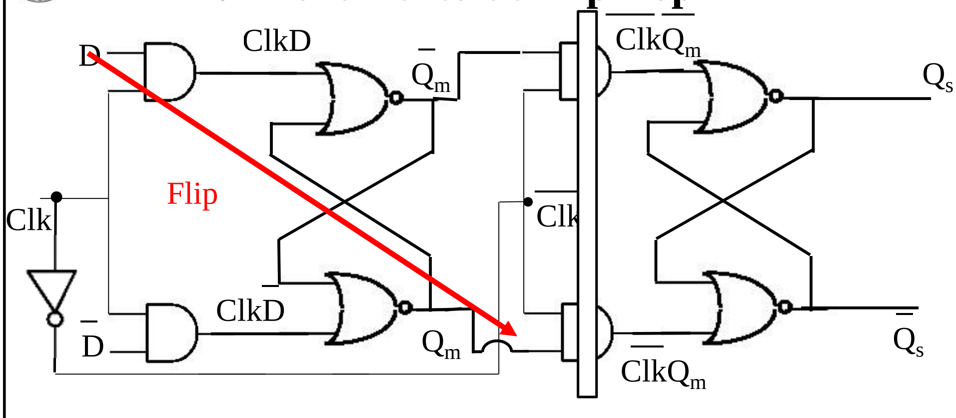
Configurazione Master-Slave

Flip-flop D



Due latch di tipo D, organizzati in cascata

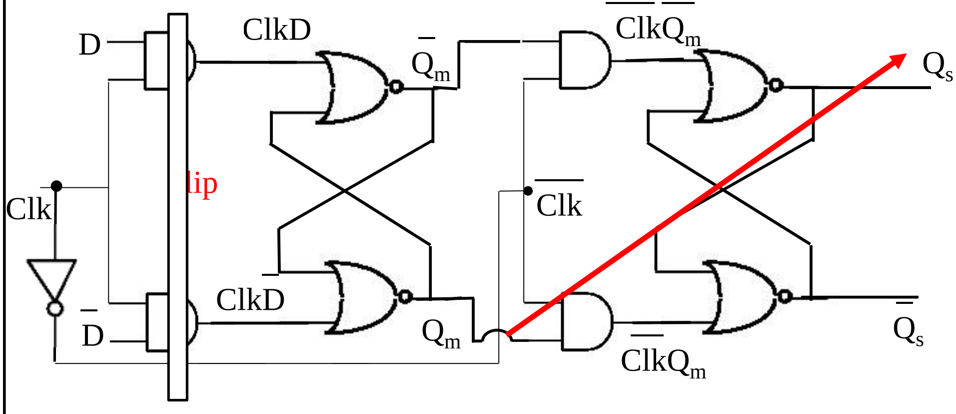
Funzionamento del flip-flop D



If (CLK =1) il primo latch “vede” l’ingresso, D
$Q_m^* = D$

If (CLK = 1) il secondo latch è opaco: l’uscita rimane invariata
$Q^* = Q_s$

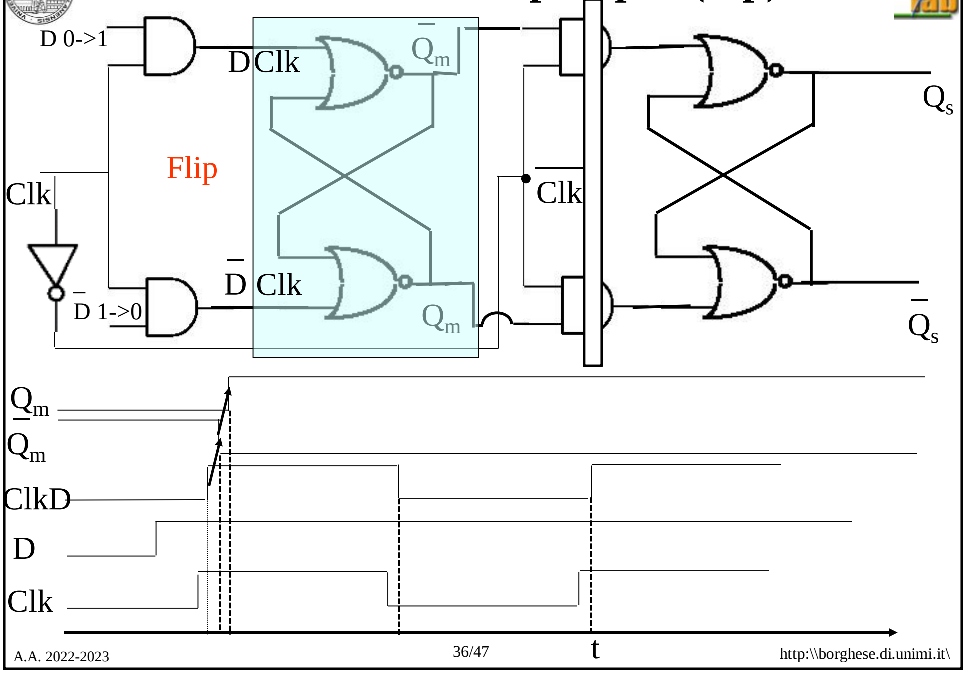
Funzionamento del flip-flop D



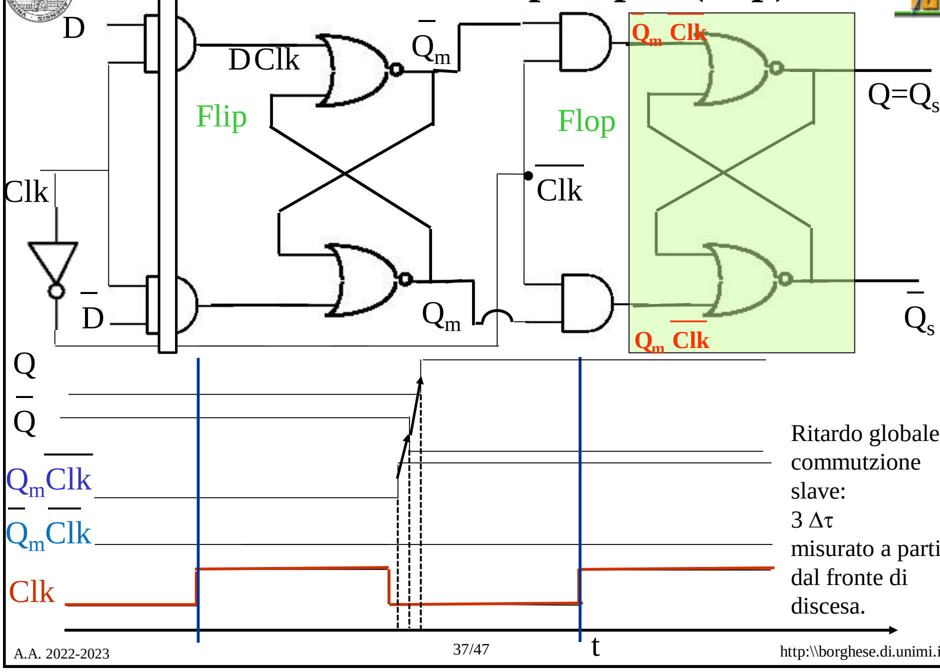
If (CLK =0) il primo latch è opaco: l'uscita rimane invariata
$Q_m^* = Q_m$

If (CLK = 0) il secondo latch porta l'uscita del master, Q_m, in uscita al dispositivo.
$Q = Q_s^* = Q_m$

Funzionamento del flip-flop D (flip)

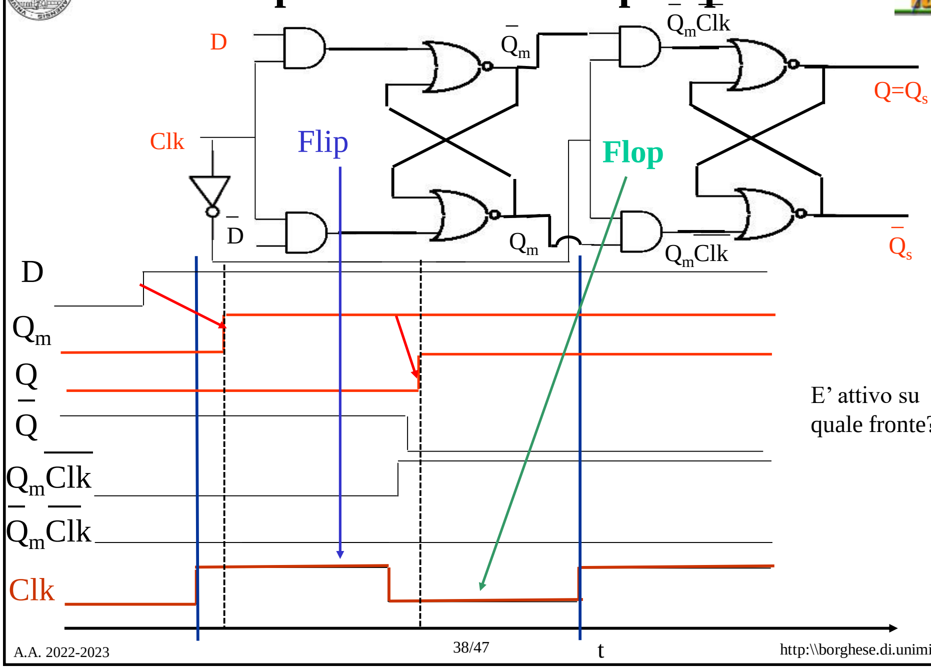


Funzionamento del flip-flop D (flop)



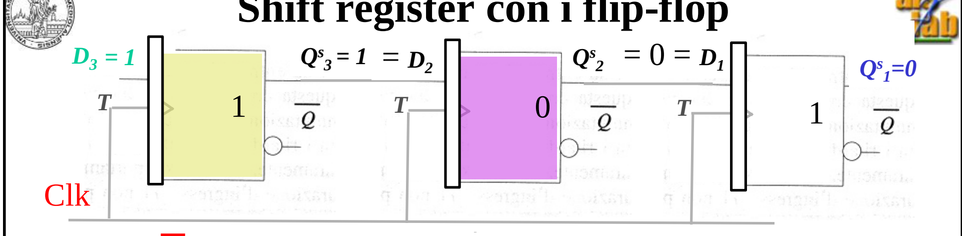
Ritardo globale commutzione slave:
3 $\Delta\tau$
misurato a partire dal fronte di discesa.

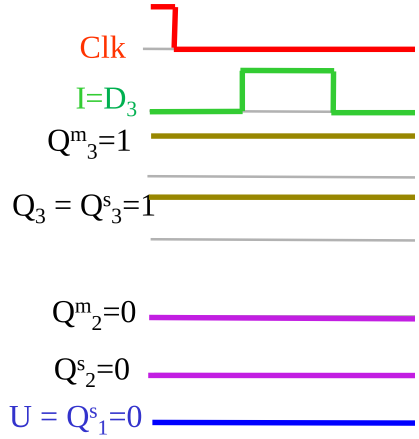
Temporizzazione dei flip-flop



E' attivo su quale fronte?

Shift register con i flip-flop

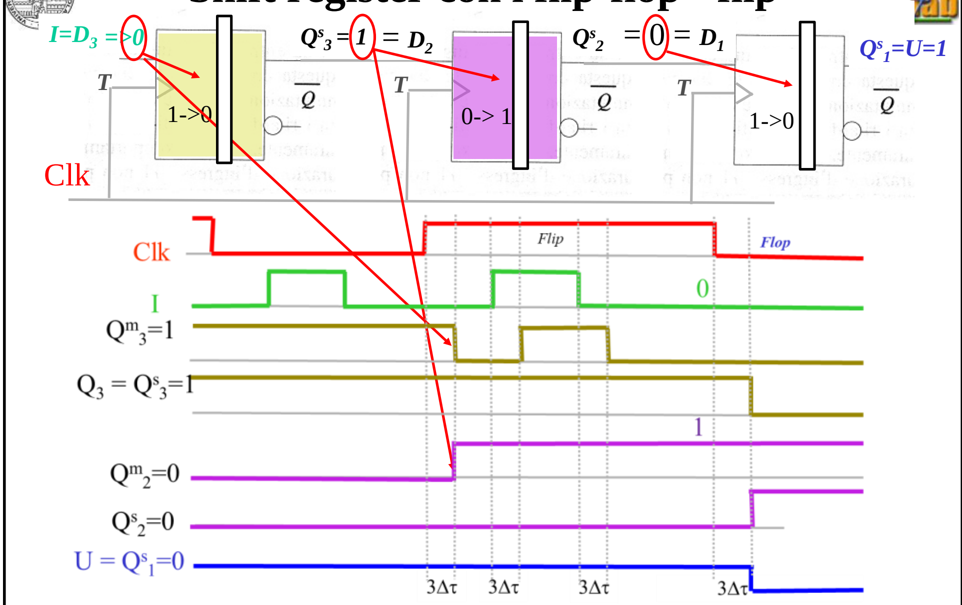




Situazione iniziale: {1, 0, 1}
Input: 0
Situazione dopo un ciclo di clock: {0, 1, 0}

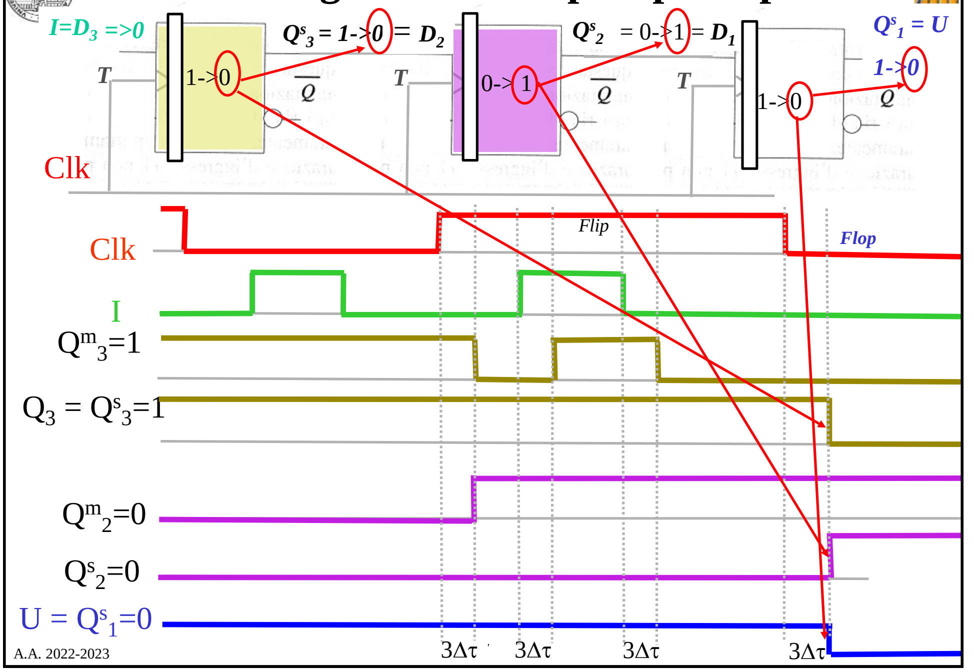
If (CLK == 0)
status quo
$Q_s^* = Q_m$

Shift register con i flip-flop - flip



All'uscita dei master abbiamo {0, 1, 0}
All'uscita degli slave abbiamo {1, 0, 1}

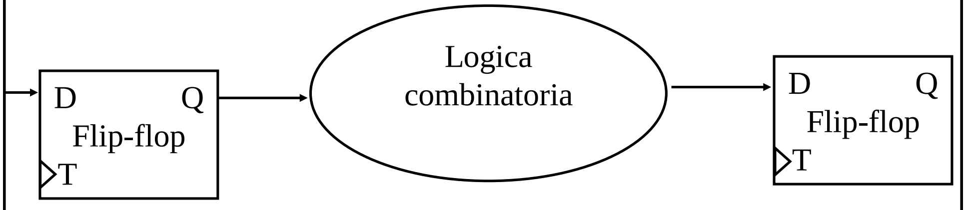
Shift register con i flip-flop - flop



Configurazione master-slave

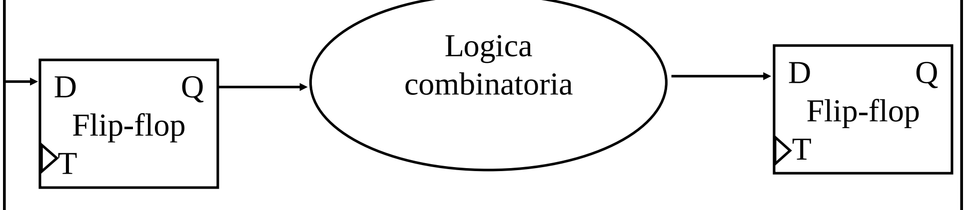
- Semi-periodo di clock alto:
  - Il master è trasparente: uscita del latch master = ingresso.
  - Lo slave è “opaco” -> mantiene l’uscita.
  - Lo slave è “disaccoppiato” dal latch master.
    - Master e slave possono avere uscita diversa
- Semi-periodo di clock basso:
  - Il master è opaco: l’uscita del latch master si mantiene.
  - Il master è “disaccoppiato” dall’ingresso esterno.
  - Lo slave è trasparente: uscita del latch slave = uscita del latch master.
    - Master e slave hanno la stessa uscita

Struttura di un circuito sequenziale



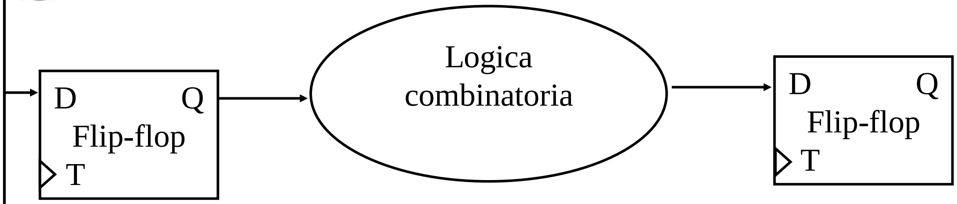
Pone dei problemi di sincronizzazione: la logica combinatoria deve terminare la commutazione in tempo utile.

Temporizzazione di un circuito sequenziale



- La logica ha tempo sufficiente per completare la commutazione.
- Il periodo di clock è tale, per cui la commutazione del clock avviene dopo che la logica combinatoria ha terminato tutte le commutazioni.
- Il tempo necessario alla logica combinatoria per commutare è $\leq$ tempo associato al cammino critico.
- Il clock arriva contemporaneamente a tutti i dispositivi sincronizzati.

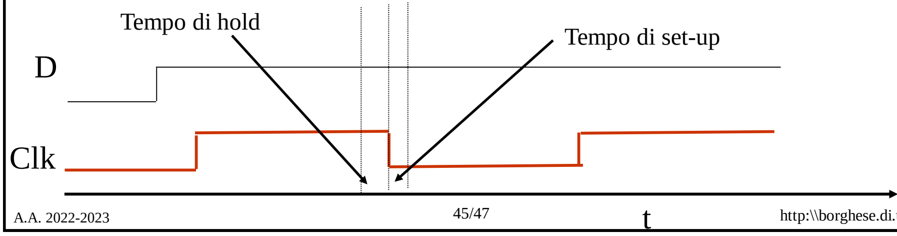
Temporizzazione: problemi



L'input D deve essere stabile intorno alla commutazione del clock:

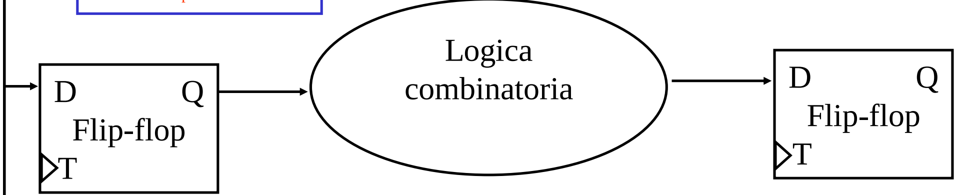
•Tempo di hold: è il tempo minimo per cui deve rimanere stabile l'input D prima del fronte di clock (tempo di attraversamento delle porte del master).

•Tempo di set-up: è il tempo minimo per cui deve rimanere stabile l'input D dopo il fronte di clock (tempo di attraversamento delle porte dello slave).



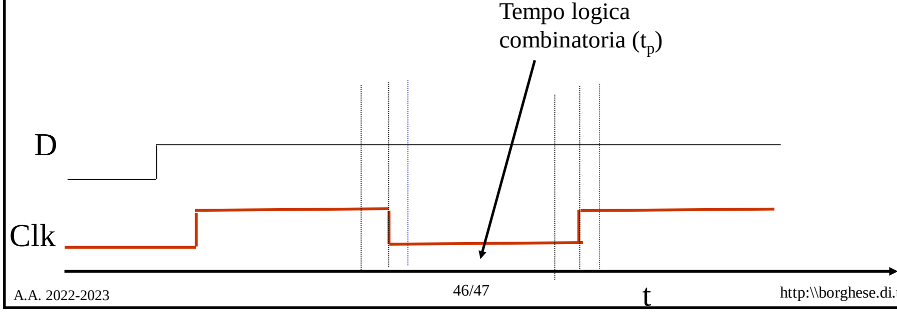
Temporizzazione: Come si dimensiona il clock

$T > k * (t_p + t_c + t_s + t_w)$



Tempo di propagazione: è il tempo necessario per propagare il segnale nella logica combinatoria (t_p). Il massimo tempo è rappresentato dal cammino critico.

Tempo di skew: ritardo massimo del clock (t_w).



Sommario

Latch sincroni SR

Latch sincroni D

Flip-flop