

*Cognome e nome dello studente:*

*Matricola:*

1. [8] Specificare il contenuto di **tutti** i cammini della CPU (dati e controllo) riportata sul retro, quando è in esecuzione l'istruzione:  $0x0000\ 0400\ lw\ \$1,\ 32(\$2)$  sapendo che il codice operativo dell'istruzione  $lw$  è 35 e il registro  $\$s1$  è il registro 17. Evidenziare i cammini che svolgono lavoro utile per l'esecuzione dell'istruzione [6]. Estendere la CPU perché possa eseguire anche l'istruzione di  $bne$  [2].
2. [8] Scrivere un algoritmo della moltiplicazione binaria intera firmware a 4 bit, con registro moltiplicando a 4 bit, registro moltiplicatore a 4 bit e registro risultato a 8 bit. Costruire il circuito firmware associato (datapath [5] e unità di controllo[3]). **Evidenziare tutti i cammini, dimensionarli e definirne la funzione.**
3. [3] In quanti cicli di clock viene eseguita una moltiplicazione dal circuito disegnato sopra? Quale sarà il suo cammino critico? (considerare pari a  $3*N$  il cammino critico di un sommatore a  $N$  bit).
4. [5] Descrivere come si possa modificare il **datapath** e quali segnali di controllo debbano essere aggiunti per eseguire anche l'operazione di divisione intera di numeri su 4 bit. Facendo riferimento al circuito realizzato per l'esercizio 2, scrivere l'algoritmo per la divisione intera e calcolare la divisione binaria  $9:4$ , visualizzando per ogni passo il valore del contenuto di tutti i registri.
5. [3] Scrivere l'algoritmo per la somma in virgola mobile (numeri codificati in notazione normalizzata, IEEE 754) e il data-path firmware che implementa l'algoritmo.
6. [3] Disegnare il ciclo di esecuzione di un'istruzione su un'architettura MIPS a singolo ciclo. Quante fasi si distinguono? Quando l'architettura capisce di che istruzione si tratta? I componenti appartenenti a quali fasi vengono configurati dall'unità di controllo? Perché? Cos'è un'ISA? Possono due CPU avere la stessa ISA? Due CPU diverse devono avere una ISA necessariamente diversa?
7. [2] Descrivere come viene suddivisa in modo logico per convenzione una memoria principale dai processori MIPS e quali sono le ragioni per la scelta dei confini dei diversi segmenti.
8. [3] Supponiamo che l'istruzione corrente si trovi all'indirizzo  $0x0000\ 0024$ , scrivere l'istruzione assembler e in linguaggio macchina che effettua il salto incondizionato ( $jump$ ) all'indirizzo:  $0x0000\ 8000$ . Il codice operativo dell'istruzione  $jump$  è 2. E' possibile utilizzare un'istruzione di branch per saltare allo stesso indirizzo? Perché? Scrivere l'istruzione assembler di "branch-on-equal" che effettua il salto condizionato all'indirizzo  $0x00000020$ , e tradurla in linguaggio macchina, sapendo che il codice operativo dell'istruzione "branch-on-equal" è 4. Si scelgano due registri a piacere.

