



Architetture degli elaboratori

Introduzione



Prof. Alberto Borghese
Dipartimento di Informatica
alberto.borghese@unimi.it

Università degli Studi di Milano

Riferimento: Patterson, Cap. 1



Sommario della lezione

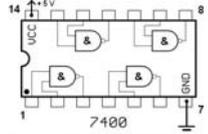


- **Architettura dell'elaboratore**
- Ciclo di esecuzione di un'istruzione
- Informazioni su corso ed esame
- Storia dell'elaboratore.



Contenuto del corso

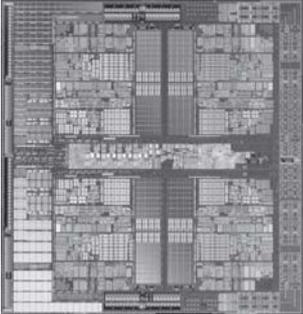





From logic gates to
.....
multi-core and GPUs



 AND Output: AB	 OR Output: $A+B$
 NAND Output: \overline{AB}	 NOR Output: $\overline{A+B}$
 NOT Output: \overline{A}	 EOR Output: $A\oplus B$
	 ENOR Output: $\overline{A\oplus B}$



A.A. 2013-2014

3/67

<http://borghese.di.unimi.it/>



Le architetture











La casa



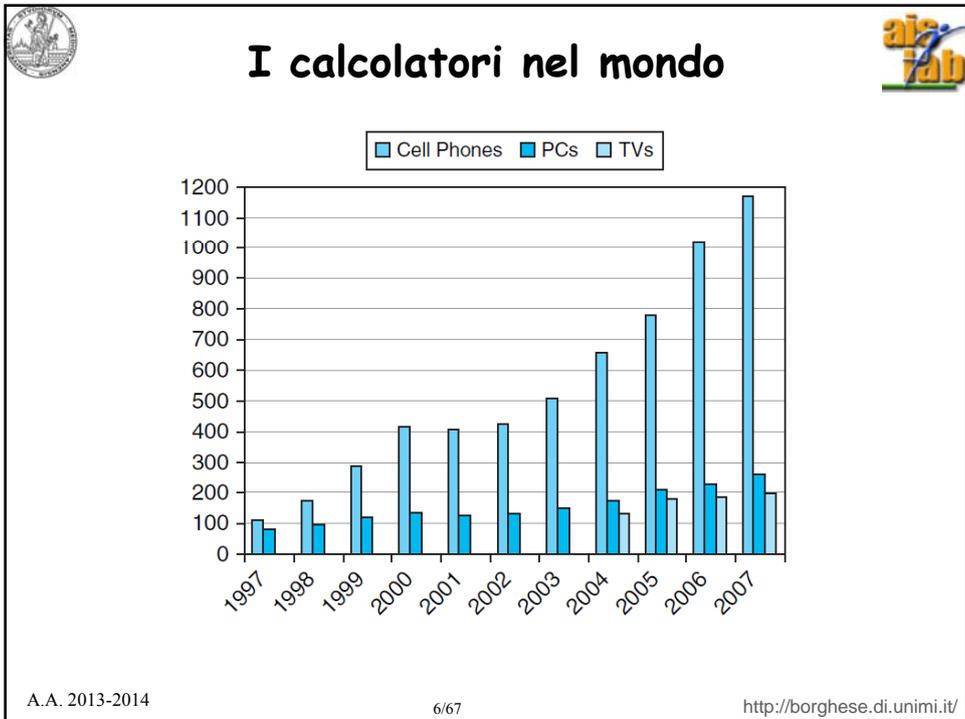




A.A. 2013-2014

4/67

<http://borghese.di.unimi.it/>





La legge di Moore



Year	Name	Size (cu. ft.)	Power (watts)	Performance (adds/sec)	Memory (KB)	Price	Price-performance vs. UNIVAC	Adjusted price (2003 \$)	Adjusted price-performance vs. UNIVAC
1951	UNIVAC I	1,000	125,000	2,000	48	\$1,000,000	1	\$6,107,600	1
1964	IBM S/360 model 50	60	10,000	500,000	64	\$1,000,000	263	\$4,792,300	318
1965	PDP-8	8	500	330,000	4	\$16,000	10,855	\$75,390	13,135
1976	Cray-1	58	60,000	166,000,000	32,000	\$4,000,000	21,842	\$10,756,800	51,604
1981	IBM PC	1	150	240,000	256	\$3,000	42,105	\$5,461	154,673
1991	HP 9000/ model 750	2	500	50,000,000	16,384	\$7,400	3,556,188	\$9,401	16,122,356
1996	Intel PPro PC (200 MHz)	2	500	400,000,000	16,384	\$4,400	47,846,890	\$4,945	239,078,908
2003	Intel Pentium 4 PC (3.0 GHz)	2	500	6,000,000,000	262,144	\$1,600	1,875,000,000	\$1,600	11,452,000,000

In circa 18 mesi raddoppiano le prestazioni ed il numero di transistor e raddoppiano le capacità delle memorie (DRAM). **Legge di Moore**. La velocità di accesso alla memoria cresce molto più lentamente.

E dopo? Abbiamo incontrato la barriera dell'energia.

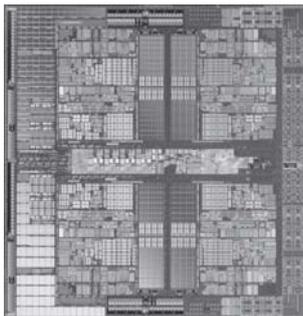
A.A. 2013-2014

7/67

<http://borghese.di.unimi.it/>

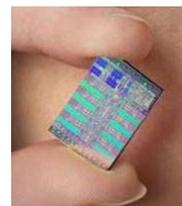


Le architetture più recenti



AMD Barcelona (quad-core)

nVidia 9800 GTX,
Streaming processors
128 core



Cell processor
(IBM, Sony, Toshiba)
Playstation 3



A.A. 2013-2014

8/67

<http://borghese.di.unimi.it/>



I principi delle Architetture



Turing: “Universal Turing machine” (1936). Macchina di esecuzione di algoritmi universale.

I principi come sono stati codificati da Von Neumann negli anni 40.

- Dato che il dispositivo è essenzialmente una macchina di calcolo, ci sarà un'unità che è devota essenzialmente ai calcoli (ALU).
- I dati e le istruzioni sono memorizzate **separatamente** in una memoria read/write.
- Ci sarà una parte che gestisce tutto il sistema di elaborazione: trasferimento dei dati, comanda le operazioni, comanda I/O. Livello gerarchico superiore: UC.
- Un computer deve essere collegato all'esterno. Occorre quindi un equipaggiamento per l'I/O.
- Il contenuto della memoria può essere recuperato in base alla sua posizione (**indirizzo**), e non è funzione del tipo di dato.
- L'esecuzione procede **sequenzialmente** da un'istruzione alla seguente (algoritmo, sequenza di passi...). Nelle architetture più avanzate l'esecuzione procede sequenzialmente per gruppi di istruzioni.



Obiettivo del corso



- Fornire i fondamenti per capire cosa succede dentro ad un elaboratore.
- Quali sono le problematiche e come viene elaborata l'informazione.
- Qual'è il linguaggio di un elaboratore (ISA) – programmazione in piccolo.
- **Analisi e progettazione.**



Obiettivo di un'architettura



Elabora in modo adeguato un input per produrre l'output.

- Le unità di *ingresso* (tastiera, mouse, rete, interfacce con dispositivi di acquisizione, ecc.) permettono al calcolatore di acquisire informazioni dall'ambiente esterno.
- L'architettura di elaborazione.



- Le unità di *uscita* (terminale grafico, stampanti, rete, ecc.) consentono al calcolatore di comunicare i risultati ottenuti dall'elaborazione all'ambiente esterno.



Cosa fa un elaboratore?



- Algoritmi (sequenza di istruzioni).
Calcoli (calcolatore).
Operazioni logiche (elaboratore).

- Programma (Ada Byron Lovelace, 1830) = *Algoritmi in Software*.

Come lo fa? *Hardware*.



Input ==> Elaborazione ==> Output

- Terza rivoluzione della nostra civiltà: la rivoluzione agricola, la rivoluzione industriale e la rivoluzione dell'informatica.



Operazioni elementari e codifica dell'informazione



Operazioni elementari necessarie ad eseguire algoritmi:

Calcolo (somma, sottrazione, prodotto....)

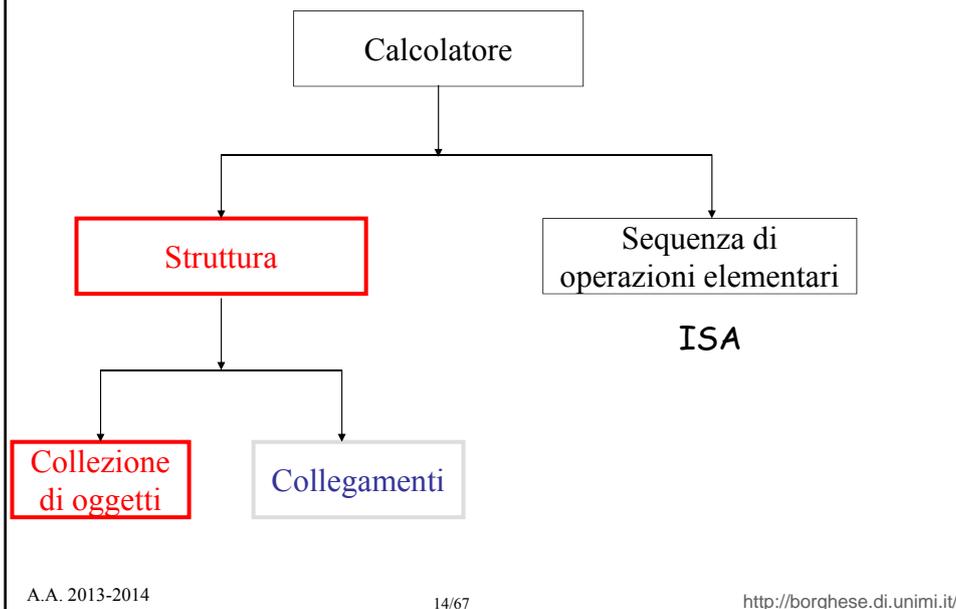
Controllo del flusso (if, for....)

L'informazione viene rappresentata utilizzando solamente due simboli (base 2: 0,1 -> acceso, spento).

I calcoli ed i controlli sono eseguiti utilizzando **esclusivamente!** le 3 operazioni fondamentali della logica classica: AND, OR, NOT.

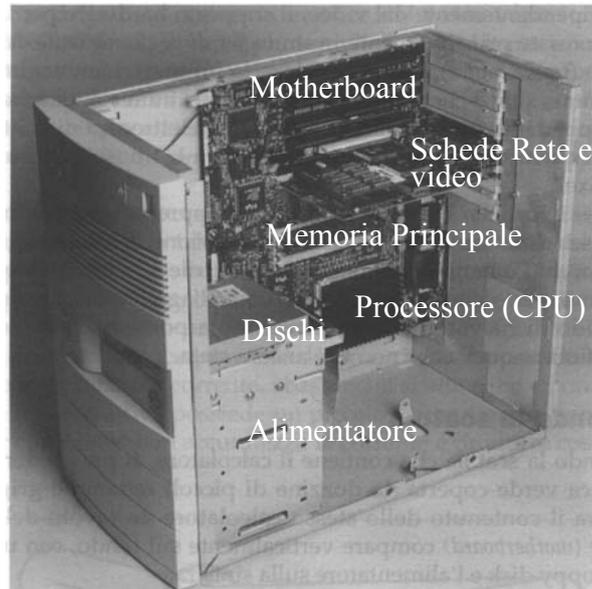


Descrizione di un elaboratore





Struttura dell'elaboratore



A.A. 2013-2014

15/67

<http://borghese.di.unimi.it/>



Struttura dell'elaboratore: descrizione



- Elementi principali di un elaboratore:
 - ◆ Unità centrale di elaborazione (*Central Processing Unit - CPU*).
 - ◆ Memoria di lavoro o memoria principale (*Main Memory - MM*) e dischi.
- Sulla motherboard: collegamenti principali di un calcolatore:
 - ◆ Bus di sistema (dati, indirizzi, controllo)
 - ◆ Interfacce per i dispositivi di *Input/Output - I/O*: il terminale, la memoria di massa (di solito dischi magnetici), le stampanti, ...

A.A. 2013-2014

16/67

<http://borghese.di.unimi.it/>



Unità centrale di elaborazione (*Central Processing Unit - CPU*)



- La *CPU* provvede ad eseguire le istruzioni che costituiscono i diversi programmi elaborati dal calcolatore.
- Eseguire un'istruzione vuol dire operare delle scelte, eseguire dei calcoli a seconda dell'istruzione e dei dati a disposizione.

A.A. 2013-2014

17/67

<http://borghese.di.unimi.it/>



Elementi principali della CPU



- Banco di registri (*Register File*) ad accesso rapido, in cui memorizzare i dati di utilizzo più frequente. Il tempo di accesso ai registri è circa 10 volte più veloce del tempo di accesso alla memoria principale. Il register file è evoluto in cache + registri.
- Registro *Program counter (PC)*. Contiene l'indirizzo dell'istruzione corrente da aggiornare durante l'evoluzione del programma, in modo da prelevare dalla memoria la corretta sequenza di istruzione;
- Registro *Instruction Register (IR)*. Contiene l'istruzione in corso di esecuzione.
- Unità per l'esecuzione delle operazioni aritmetico-logiche (*Arithmetic Logic Unit - ALU*). I dati forniti all'*ALU* provengono direttamente da registri interni alla CPU. Possono provenire anche dalla memoria, ma in questo caso devono essere prima trasferiti in registri interni alla CPU. Dipende dalle modalità di indirizzamento previste;
- Unità aggiuntive per elaborazioni particolari come unità aritmetiche per dati in virgola mobile (*Floating Point Unit - FPU*), sommatore ausiliari, ecc.;
- **Unità di controllo**. Controlla il flusso e determina le operazioni di ciascun blocco.



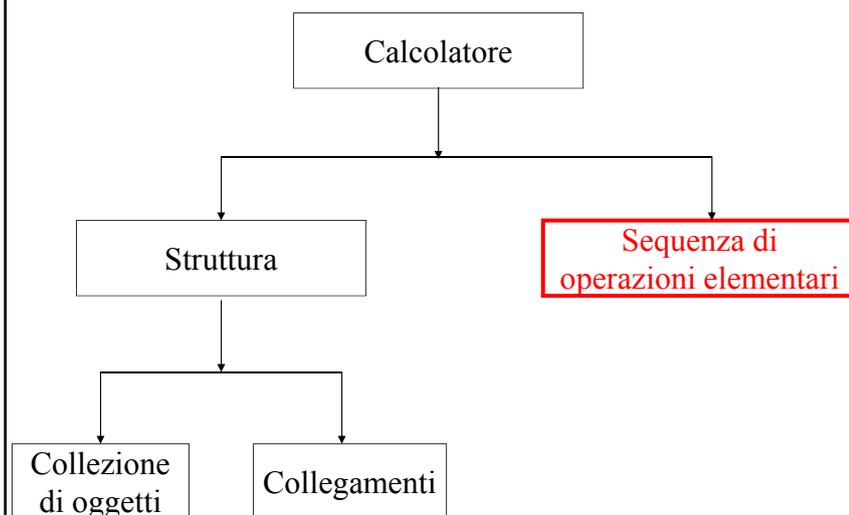
Sommario della lezione



- Architettura dell'elaboratore
- **Ciclo di esecuzione di un'istruzione**
- Informazioni su corso ed esame
- Storia dell'elaboratore.

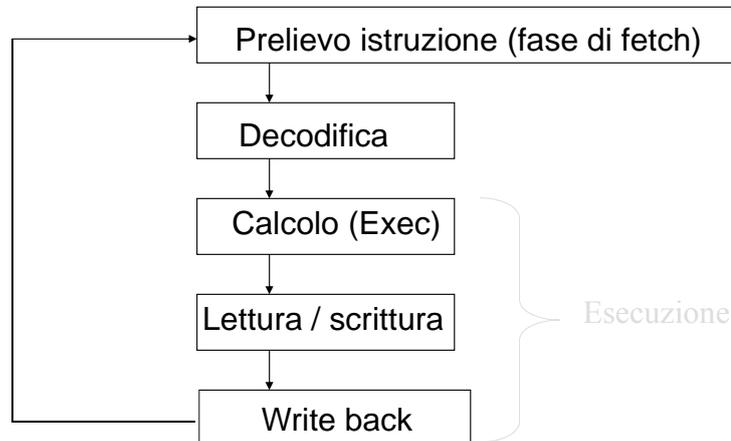


Descrizione di un elaboratore





Ciclo di esecuzione di un'istruzione MIPS



A.A. 2013-2014

21/67

<http://borghese.di.unimi.it/>



Letture dell'istruzione (fetch)



- Istruzioni e dati risiedono nella memoria principale, dove sono stati caricati attraverso un'unità di ingresso.
- L'esecuzione di un programma inizia quando il registro PC punta alla (contiene l'indirizzo della) prima istruzione del programma in memoria.
- Il segnale di controllo per la lettura (READ) viene inviato alla memoria.
- Trascorso il tempo necessario all'accesso in memoria, la parola indirizzata (in questo caso la prima istruzione del programma) viene letta dalla memoria e trasferita nel registro IR.
- Il contenuto del PC viene incrementato in modo da puntare all'istruzione successiva.

A.A. 2013-2014

22/67

<http://borghese.di.unimi.it/>



Decodifica dell'istruzione



- L'istruzione contenuta nel registro IR viene decodificata per essere eseguita. Alla fase di decodifica corrisponde la predisposizione della CPU (apertura delle vie di comunicazione appropriate) all'esecuzione dell'istruzione.
- In questa fase vengono anche recuperati gli operandi. Nelle architetture MIPS gli operandi possono essere solamente nel Register File oppure letti dalla memoria.
 - ◆ Architetture a registri:
 - Se un operando risiede in memoria, deve essere prelevato caricando l'indirizzo dell'operando nel registro MAR della memoria e attivando un ciclo di READ della memoria.
 - L'operando letto dalla memoria viene posto nel registro della memoria MDR per essere trasferito alla ALU, che esegue l'operazione. Nelle architetture MIPS, l'operando viene trasferito nel Register file nella fase di Scrittura.
 - ◆ Architetture LOAD/STORE:
 - Le istruzioni di caricamento dalla memoria sono separate da quelle aritmetico/logiche.



Calcolo dell'istruzione (execution)



Viene selezionato il circuito / i circuiti combinatori appropriati per l'esecuzione delle operazioni previste dall'istruzione e determinate in fase di decodifica.

Tra le operazioni previste, c'è anche la formazione dell'indirizzo di memoria da cui leggere o su cui scrivere un dato.



Lettura / Scrittura in memoria



In questa fase il dato presente in un registro, viene scritto in memoria oppure viene letto dalla memoria un dato e trasferito ad un registro.

Questa fase non è richiesta da tutte le istruzioni!

Nel caso particolare di Architetture LOAD/STORE, quali MIPS, le istruzioni di caricamento dalla memoria sono separate da quelle aritmetico/logiche. Se effettuo una Lettura / Scrittura, **non** eseguo operazioni aritmetico logiche sui dati.

Sistema di memoria “sganciato” dalla coppia register-file + CPU.



Scrittura in register file (write-back)



- Il risultato dell'operazione può essere memorizzato nei registri ad uso generale oppure in memoria.
- Non appena è terminato il ciclo di esecuzione dell'istruzione corrente (termina la fase di Write Back), si preleva l'istruzione successiva dalla memoria.



Esempio ciclo di esecuzione



Somma: 0x80000: add \$s3, \$s2, \$s1
00000010010100011001100000100000

Fase di fetch: Caricamento dell'istruzione dall'indirizzo 0x80000.

Decodifica: Preparazione della CPU a svolgere una somma.
Determinazione dei segnali di controllo.
Lettura degli operandi (che sono contenuti nei registri \$s2, \$s1).

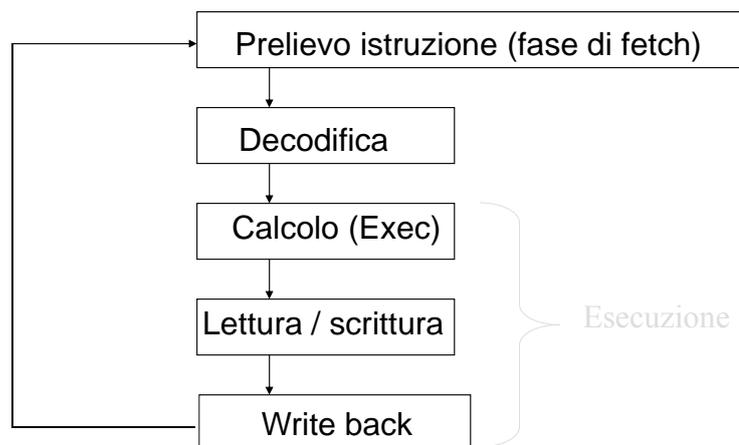
Esecuzione: Esecuzione della somma.

Memoria: *Nulla*

Write-back: Scrittura del registro \$s3.



Ciclo di esecuzione di un'istruzione MIPS





Sommario della lezione



- Architettura dell'elaboratore
- Ciclo di esecuzione di un'istruzione
- **Informazioni su corso ed esame**
- Storia dell'elaboratore.

A.A. 2013-2014

29/67

<http://borghese.di.unimi.it/>



Architettura - Parte I (6 cfu)



Docente turno I: Prof. N. Alberto Borghese (A-F)

Docente turno II: Prof. Federico Pedersini (G-Z)

Laboratorio: Dott. Iuri Frosio, coordinatore (A-D) frosio@di.unimi.it
Dott. Enrico Calore (E-L) enrico.calore@unimi.it
Dott. Massimo Marchi (M-Z)

Prof. Borghese

Martedì Ore 10.30-12.30 Aula V3, Via Venezian

Giovedì Ore 10.30-12.30 Aula V3, Via Venezian

Prof. Pedersini

Martedì Ore 10.30-12.30 Aula 100, Via Celoria

Giovedì Ore 13.30-15.30 Aula 400, Via Celoria

Laboratorio (il laboratorio inizia mercoledì 9 Ottobre)

Dott. Frosio, Giovedì, Ore 13.30-15.30, Aula 307, Cognomi A-D

Dott. Calore, , Cognomi E-L

Dott. Marchi, Mercoledì, Ore 13.30-15.30, Aula 307, Cognomi M-Z

A.A. 2013-2014

30/67

<http://borghese.di.unimi.it/>



Programma Architettura I



Sito principale:

http://borgnese.di.unimi.it/Teaching/Architettura_I/_Arch_I.html

Programma:

http://borgnese.di.unimi.it/Teaching/Architettura_I/Programma_2013-2014.html

Programma Architettura II

Sito principale:

http://borgnese.di.unimi.it/Teaching/Architettura_II/_Arch_II.html

Programma:

http://borgnese.di.unimi.it/Teaching/Architettura_II/Programma_2013-2014.html

Strumento principale di contatto: email
(alberto.borghese@unimi.it)!
Ricevimento su appuntamento

nimi.it/



Programma Architettura I *Dalle porte logiche alla CPU*



- *Porte logiche ed algebra di Boole*
- *Circuiti combinatori*
- *Circuiti sequenziali*
- *Macchine a stati finiti e micro-programmi*
- *CPU*



Materiale didattico

See web page

http://borghese.di.unimi.it/Teaching/Architettura_I/References.rtf

Testo di base (è disponibile sia in inglese che in italiano):

Struttura e progetto dei calcolatori: l'interfaccia hardware-software, D.A. Patterson and J.L. Hennessy, Terza edizione, Zanichelli, estate 2010 (Nota: la terza edizione Zanichelli è la traduzione della quarta edizione inglese).

"Computer Organization & Design: The Hardware/Software Interface", D.A. Patterson and J.L. Hennessy, Morgan Kaufmann Publishers, Fourth Edition, 2009. *Potete trovare esercizi del testo svolti al seguente URL:* <http://books.elsevier.com/companions/1558606041/>.

Per un approfondimento sui circuiti combinatori e sequenziali:

"Progettazione digitale" F. Fummi, M.G. Sami, C. Silvano, McGrawHill, 2003.

A.A. 2013-2014

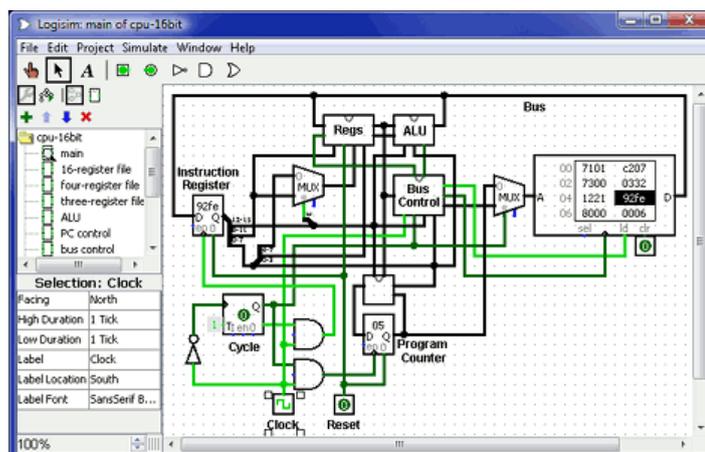
33/67

<http://borghese.di.unimi.it/>



Simulatore di circuiti logici: Logisim

- <http://ozark.hendrix.edu/~burch/logisim/>



A.A. 2013-2014

34/67

<http://borghese.di.unimi.it/>



Modalità di esame



Parte teorica (2/3 del voto).

Prova scritta + orale. Appelli ogni 1 / 2 / 3 mesi, al di fuori del periodo delle lezioni.

Laboratorio (1/3 del voto).

Progetto di laboratorio in Logisim
(*Progetto di laboratorio: assembler (o CUDA) per Architettura II*)



Compitini



- 2 prove in itinere (compitini) durante l'anno. I compitini sostituiscono interamente scritto e orale.
- Per superare la parte di teoria con i compitini occorre avere preso almeno 17 in tutti i compitini e che la media dei compitini sia ≥ 18 . I compitini sono consigliati solo a chi frequenta.
- L'orale con i compitini è facoltativo.



Architettura base del corso - MIPS MIPS Technologies



AIBO (Sony, 2003) - MIPS 7000, sistemi embedded che montano Windows CE, PlayStation 2, router, gateway...

► Features-front



Architettura MIPS



- Architettura MIPS appartiene alla famiglia delle architetture **RISC (Reduced Instruction Set Computer)** sviluppate dal 1980 in poi
 - ◆ Esempi: Sun Sparc, HP PA-RISC, IBM Power PC, DEC Alpha, Silicon Graphics, AIBO-Sony, ARM.
- Principali obiettivi delle architetture RISC:
 - ◆ Semplificare la progettazione dell'hardware e del compilatore
 - ◆ Massimizzare le prestazioni
 - ◆ Minimizzare i costi



Simulatore MIPS



- **SPIM: A MIPS R2000/R3000 Simulator :**
PCSPIM version 6.3
- <http://www.cs.wisc.edu/~larus/spim.html>
- Oppure da:
- http://borghese.di.unimi.it/Teaching/Architettura_II/_Arch_II.html

- Piattaforme:
 - ☞ Unix or Linux system
 - ☞ Microsoft Windows (Windows 95, 98, NT, 2000, XP)
 - ☞ Microsoft DOS



mercoledì 16 ottobre
dalle 14.00 alle 17.00

Sala Lauree
Via Corticelli, 35

SEMINARIO SULLA
TECNOLOGIA
MICROSOFT KINECT



Kinect Programming

KINECT PROGRAMMING:
COMMUNICATE WITH COMPUTERS NATURALLY

Programma del seminario:

- Design di una nuova generazione di User Experience: Come sta evolvendo l'interazione tra uomo e macchina?
- Kinect inside: come è fatto e come funziona l'oggetto delle meraviglie?
- Utilizzo delle informazioni video: Come si accende e come si utilizzano i dati generati dalle telecamere del device?
- Utilizzo delle gestture: Come si realizza il modello 3D di una persona? Come si può implementare un riconoscitore di gestture?
- Kinect 2, Leap Motion and Intel Perceptual Computig

ACADEMIC TOUR 2013/2014: KINECT

Speaker: Matteo Valoriani

Durante il seminario saranno illustrati sia gli aspetti tecnici legati alla sviluppo di applicazioni interattive con interfacce gestuali sia gli aspetti pratici e implementativi.

Il seminario è tenuto in collaborazione con il prof. Alberto Borghese e il corso "Sistemi Intelligenti". La partecipazione è aperta a tutti gli interessati.

Per ulteriori informazioni contattare:
- Prof. Alberto Borghese: borghese@di.unimi.it
- Annalisa Berti (Microsoft Student Partner): annalisa.berti@students.unimi.it



<https://kinecturimi.eventbrite.com/>





Sommario della lezione



- Architettura dell'elaboratore
- Ciclo di esecuzione di un'istruzione
- Informazioni su corso ed esame
- **Storia dell'elaboratore.**



Storia dell'elaboratore



Filo conduttore:

Aumento della velocità di elaborazione

Diminuzione della dimensione dei componenti.

Aumento della capacità e velocità dell'I/O.

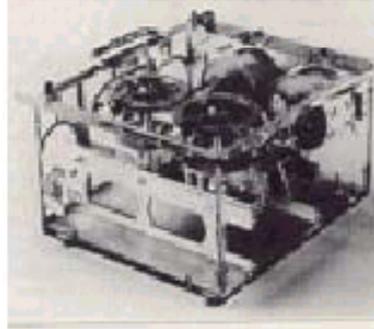
Adozione di tecnologie diverse (meccanica, elettrica, elettronica).



Storia del calcolatore (i primi passi)



- Abaco, Babilonesi, X secolo a.C.
- B. Pascal (Pascalina, somma e sottrazione).



- G. von Leibnitz (moltiplicazioni e divisioni come addizioni ripetute).

A.A. 2013-2014

43/67

<http://borghese.di.unimi.it/>



Le calcolatrici



- Sviluppo di calcolatrici da tavolo meccaniche (diffusione nel commercio).



Millionaire, Steiger, 1892

Moltiplicazioni in un
“colpo di manovella”.

- Texas Instruments (1972) – prima calcolatrice tascabile.



A.A. 2013-2014

44/67

<http://borghese.di.unimi.it/>



Un'architettura efficace



Una macchina per risolvere un problema industriale.

Telaio Jacquard (1801)

- Programma di lavoro su schede
- Macchina dedicata (antesignana delle macchine CAM).



A.A. 2013-2014

45/67

<http://borghese.di.unimi.it/>



Charles Babbage



Le prime architetture furono pneumatiche

Charles Babbage

- Papà del calcolatore moderno.
- “Analytical Engine” i comandi erano a vapore!
- Utilizza il concetto di programma su (su schede) proposto da Ada Lovelace (1830).



A.A. 2013-2014

46/67

<http://borghese.di.unimi.it/>



Nasce l'IBM (1900-1930)



- Non solo architettura.....
- H. Hollerith: Schede perforate a lettura elettromeccanica (relais).

Meccanismo più semplice di gestione del controllo.

*Nel 1890, 46,804 macchine censirono 62,979,766 persone in pochi giorni.
Il censimento precedente, del 1870, durò 7 anni!!*

- T.J. Watson rilevò il brevetto e fondò l' IBM fondendo la società di Hollerith con altre piccole società (1932).

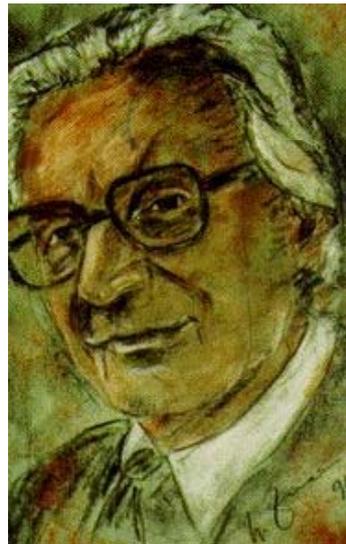


Il papà non riconosciuto



Konrad Zuse, 1936
Ingegnere civile.

Z1 -> 1938
Z3 -> 1941



Auto-ritratto del 1994



Storia dell'elaboratore - Mark I - 1944

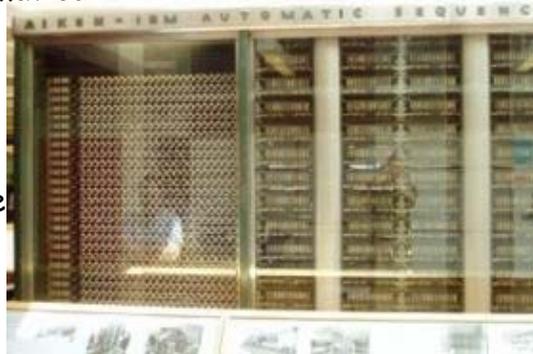


Primo computer automatico

Elettromeccanico

15.3s per divisione
6s per moltiplicazione

OpCode + operandi



Automatic Sequence Controlled Calculator - H. Aiken, IBM

A.A. 2013-2014

49/67

<http://borghese.di.unimi.it/>



Storia dell'elaboratore (IIa Guerra mondiale)



- ABC - Atanasoff Berry Computer (University of Iowa). Ampio utilizzo di elettrovalvole.
Memoria rigenerativa (cancellabile e riscrivibile).
Non funzionò mai completamente

A.A. 2013-2014

50/67

<http://borghese.di.unimi.it/>



La prima generazione (ENIAC: 1946-1955)

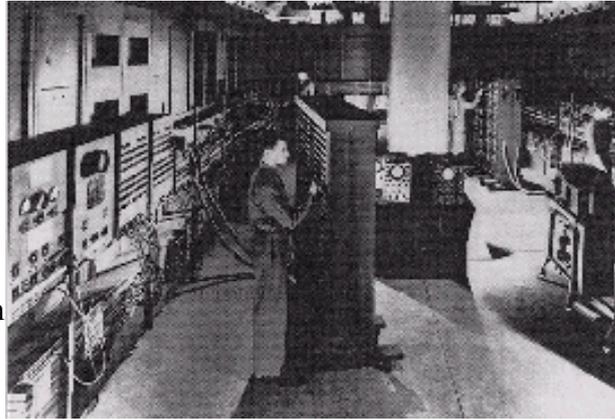


Elettronica (valvole: diodo, triodo). Aumento di prestazioni di 1,000 volte.

- ENIAC (Electronic Numerical Integrator And Calculator), University of Pennsylvania.

Caratteristiche:

- 20 registri da 10 cifre.
- 18,000 valvole.
- 70,000 resistenze.
- 10,000 condensatori.
- 6,000 interruttori.
- Dimensioni: 30mx2.5m
- Consumo: 140kW.
- 100 operazioni/s.
- 30 tonnellate.



- Il programma veniva realizzato cambiando manualmente il cablaggio.



Defining characteristics of five early digital computers



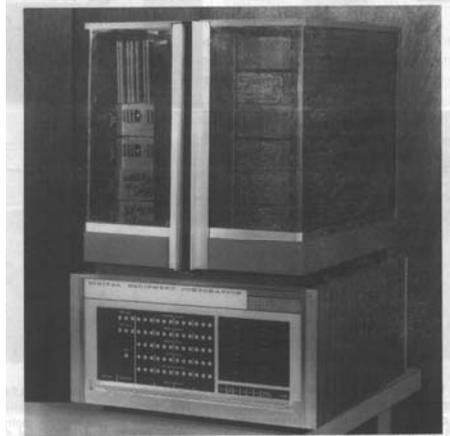
Computer	First operation	Place	Decimal /Binary	Elect ronic	Programmabi le	Turing complete
<u>Zuse Z3</u>	May 1941	<u>Germany</u>	binary	No	By punched film stock	Yes (1998)
<u>Atanasoff-Berry Computer</u>	Summer 1941	<u>USA</u>	binary	Yes	No	No
<u>Colossus</u>	December 1943 / January 1944	<u>UK</u>	binary	Yes	Partially, by rewiring	No
<u>Harvard Mark I - IBM ASCC</u>	1944	<u>USA</u>	decimal	No	By punched paper tape	Yes (1998)
<u>ENIAC</u>	1944	<u>USA</u>	decimal	Yes	Partially, by rewiring	Yes
	1948	<u>USA</u>	decimal	Yes	By Function Table <u>ROM</u>	Yes



La terza generazione (1964-1971)



- Introduzione dei circuiti integrati (LSI).
- IBM360 (1964) - Prima famiglia di calcolatori (architettura di calcolatori). Costo 360,000\$
Registri a 32 bit.
Clock 1-4Mhz.
- Digital PDP-8 (1965) - Il primo minicalcolatore.
Costo < 20,000\$.
- PDP-11 (1970).



A.A. 2013-2014

55/67

<http://borghese.di.unimi.it/>



La comunicazione tra i componenti

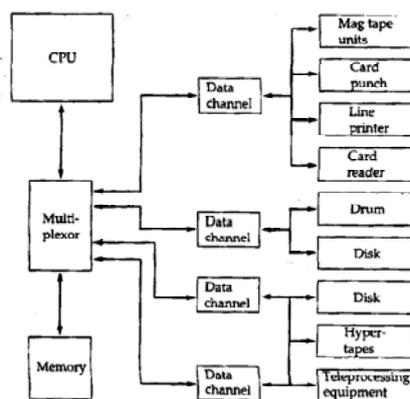


Figure 2.5 An IBM 7094 Configuration

Switch centralizzato (multiplexer) (cf. bridge)

Architettura a nodo comune (a bus) (cf. bus PCI)

Programma di “canale”

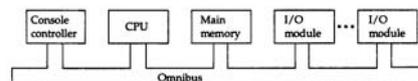


Figure 2.9 PDP-8 Bus Structure

A.A. 2013-2014

56/6'



La quarta generazione (1971-1977)



- Introduzione del microprocessore (VLSI).
- Memorie a semiconduttori.
- Intel 4004 (1971) - 2,300 transistor. Sommatore a 4 bit. 16 registri a 4 bit + RAM + ROM -> Sistema MCS-4.
- Intel 8080 (1974) - 8bit su chip.

Xerox research laboratories & Steve Job

Primo Personal Computer:
MacIntosh II di Apple Computer
(1977).
Sistema operativo a finestre:
Lisa (1984), MacIntosh II, 1985.
Processore Motorola.
Costo medio 2,000\$.



A.A. 2013-2014

57/67

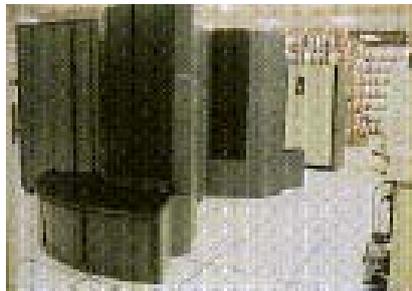
<http://borghese.di.unimi.it/>



La quarta generazione (1971-1977)



- Cray I (1976) - Primo supercalcolatore. Vettoriale (cf. SIMD)



A.A. 2013-2014

58/67

<http://borghese.di.unimi.it/>



La quinta generazione: i PC (1978-2003)



- Il primo PC (1981) IBM
 - Sistema operativo DOS (Microsoft di Bill Gates).
 - Processore Intel 8086.
 - Windows 1.0 nel 1987.
 - Coprocessore Matematico Intel 8087.

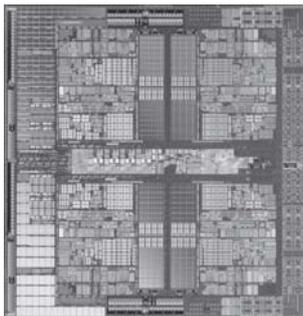
- PC come Workstation
 - Potenziamento della grafica. Coprocessore grafico (acceleratori).
 - Introduzione di elaborazione parallela (multi-threading) con esecuzione parzialmente sovrapposta (pipeline).
 - Processori RISC (Reduced Instruction Set Code).
 - MMU (Unità intelligenti per la gestione della memoria).
 - Definizione di GL -> OpenGL (Workstation Silicon Graphics)



SGI - Indigo2

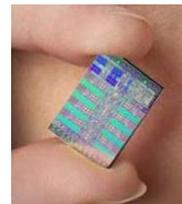


La sesta generazione



AMD Barcelona
(quad-core)

nVidia 9800 GTX,
Streaming processors
128 core



Cell processor
(IBM, Sony, Toshiba)
Playstation 3





Caratteristiche della sesta generazione



- Attualmente la frequenza di clock limite è 4Ghz: barriera dell'energia.
- Rivoluzione del parallelismo: la soluzione è quella di utilizzare diversi microprocessori (core) più piccoli e veloci.
 - ◆ Cell (IBM, Sony, Toshiba): 9-core microprocessors, 2006 (playstation 3, Sony).
 - ◆ Multi-core (Core2 Intel, AMD Barcelona...)
 - ◆ Schede grafiche di ATI e Nvidia (dal 2000) → CUDA programming language
 - ◆ Settembre 2006. Prototipo Intel con 80 processori on single chip. Obiettivo è raggiungere 1,000,000 Mflops.
- Come?
 - ◆ Parallellizzazione del codice. (e.g. RapidMind Development Platform).
 - ◆ Nuovo modo di ragionare durante la programmazione software.
 - ◆ Tool di aiuto.
 - ◆ Parallellizzazione automatica del codice è ancora molto lontana.
 - ◆ Problema principale è la coerenza dei dati.



Il futuro



- Integrazione dei media.
- Wearable devices

- PC + telefono Calcolatori ottici.
- Wearable PC Calcolatori chimici.

- Co-processori on-board, specializzati per:
 - Ricerca in data-base.
 - Genomica.

- Macchine intelligenti e sensibili.

- Sistemi multimediali.

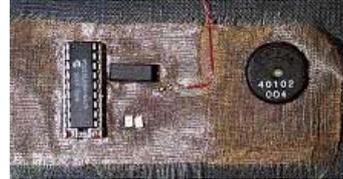


Il futuro



E-textile

- Pervasive computing
- Dedicated architectures



Circuito con CPU stampato su stoffa



Computer palmare



Wrist-net
N3

A.A. 2013-2014

63/67

<http://borghese.di.unimi.it/>



Classificazione dei calcolatori



- Centri di calcolo (Google, ...)
- Cluster (gruppi di calcolatori che lavorano per risolvere un problema complesso).
- Server (calcolatore in grado di eseguire un gran numero di processi in un'unità di tempo).
- Workstation
- Fissi (desktop)
- Portatili (laptop)
- Palmari.
- Smart phone: I-Phone, Blackberry...

A.A. 2013-2014

64/67

<http://borghese.di.unimi.it/>



Alcuni problemi



La velocità delle memorie non cresce con la velocità del processore.

Memorie gerarchiche – cache.

Aumento della parola di memoria.

high-speed bus (gerarchie di bus).

Tecniche di velocizzazione dell'elaborazione.

Predizione dei salti.

Scheduling ottimale delle istruzioni (analisi dei segmenti di codice).

Esecuzione speculativa.

Tecniche di I/O.

UDP.

Trasferimento in streaming (DMA).

Architetture dedicate alla grafica (GPU)



Caratteristiche comuni



Architettura di riferimento (Von Neuman)

Ciclo di esecuzione delle istruzioni



Sommario della lezione



- Architettura dell'elaboratore
- Ciclo di esecuzione di un'istruzione
- Informazioni su corso ed esame
- Storia dell'elaboratore.