

Cognome e nome dello studente:

Matricola:

A.A. 2009-2010 – Appello del 22 Settembre 2010

[5] Disegnare l'algoritmo ed il circuito firmware di un sommatore in virgola mobile per numeri codificati secondo lo standard IEEE754 in doppia precisione. Valutare quale dei componenti inseriti nel circuito richiede il maggior tempo di elaborazione e perchè.

[11] Data la pipeline riportata sotto, evidenziare quali sono i cammini attivi e quali i cammini non sfruttati per l'esecuzione delle seguenti istruzioni:

andi \$t2, \$s3, 4

bne \$s4, \$s5, 20

sw \$s5, 20(\$t0)

Cosa si intende per hazard? Cosa si intende per stallo?

Modificare la pipeline in modo che possa gestire un hazard sul controllo provocato da una "beq".

Come vengono gestite le jump in una pipeline?

[3] Disegnare una cella di memoria SRAM e di memoria DRAM ed illustrare la differenza, indicare in quali livelli di memoria viene utilizzata ciascuna delle due memorie. Spiegare cosa si intende per modalità di trasferimento a burst dalla memoria, a chi si applica e perchè si utilizza e su quali proprietà delle architetture si basa.

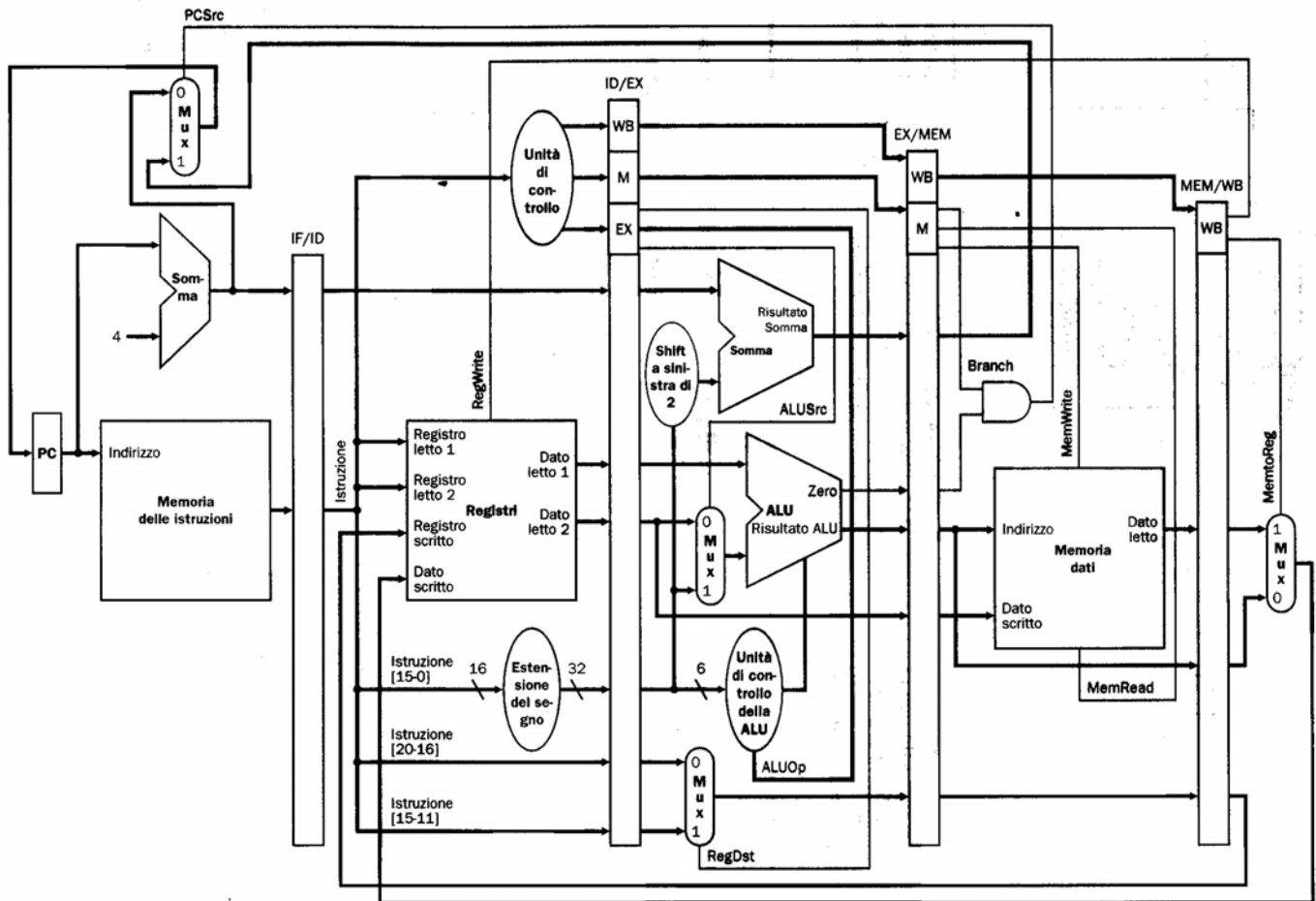
[6] Descrivere l'architettura globale di una moderna scheda grafica. Che tipo di parallelismo viene implementato? Cosa è CUDA? Cosa si intende per architettura multi-threading? Cosa si intende per architettura multiple-issue? Illustrare le caratteristiche delle architetture multiple-issue. Illustrare quali siano i principi di funzionamento di un'architettura multiple-issue e gli elementi base di questa architettura. Cos'è un'ISA?

[4] Descrivere la gerarchia dei bus implementata attualmente sui microprocessori. Cosa si intende per arbitraggio del bus? Chi arbitra? Descrivere uno schema di arbitraggio a piacere.

[4] Implementare nelle due forme canoniche la seguente funzione logica:

$$Z = AD + !BC + !C!BA$$

Per ciascuna delle due forme canoniche scrivere la complessità ed il cammino critico per produrre l'uscita. Implementare la prima forma canonica in una PLA con 6 mintermini. E' possibile? Perchè? Quali vantaggi/svantaggi ha un'implementazione di una funzione digitale su una PLA? E su una ROM? Cos'è una FPGA?



**Codici operativi:**

- addi -> 8
- lw -> 35
- sw -> 43
- j -> 2
- jal -> 3
- beq -> 4

**Campo funzione:**

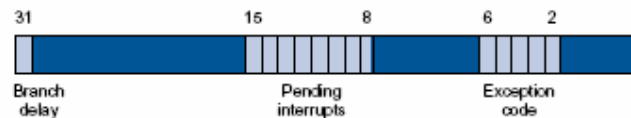
- add -> 32
- sub -> 34
- or -> 37
- and -> 36

0	zero	constant 0	16	s0	callee saves
1	at	reserved for assembler	... (caller can clobber)		
2	v0	expression evaluation &	23	s7	
3	v1	function results	24	t8	temporary (cont'd)
4	a0	arguments	25	t9	
5	a1		26	k0	reserved for OS kernel
6	a2		27	k1	
7	a3		28	gp	Pointer to global area
8	t0	temporary: caller saves	29	sp	Stack pointer
...		(callee can clobber)	30	fp	frame pointer (s8)
15	t7		31	ra	Return Address (HW)

### Coprocessore 0

Nome del registro	Numero del registro in coprocessore 0	Utilizzo
Bad/Addr	8	Registro contenente l'indirizzo di memoria a cui si è fatto riferimento
Count	9	Timer
Compare	11	Valore da comparare con un timer. Genera un interrupt.
Status	12	Maschera delle interruzioni e bit di abilitazione. Stato dei diversi livelli di priorità (6 HW e 2 SW).
Cause	13	Tipo dell'interruzione e bit delle interruzioni pendenti
EPC	14	Registro contenente l'indirizzo dell'istruzione che ha causato l'interruzione.

Registro causa:



Registro stato:

