

Cognome e nome dello studente:

Matricola:

A.A. 2009-2010 – Appello del 21 Luglio 2010

[5] Disegnare l'algoritmo ed il circuito firmware di un sommatore in virgola mobile per numeri codificati secondo lo standard IEEE754 in doppia precisione. Valutare quale dei componenti inseriti nel circuito richiede il maggior tempo di elaborazione e perchè.

[9] Data la pipeline riportata sotto, evidenziare quali sono i cammini attivi e quali i cammini non sfruttati per l'esecuzione delle seguenti istruzioni:

addi \$t2, \$t3, 4

beq \$s4, \$s5, Etichetta

sw \$s5, 20(\$t0)

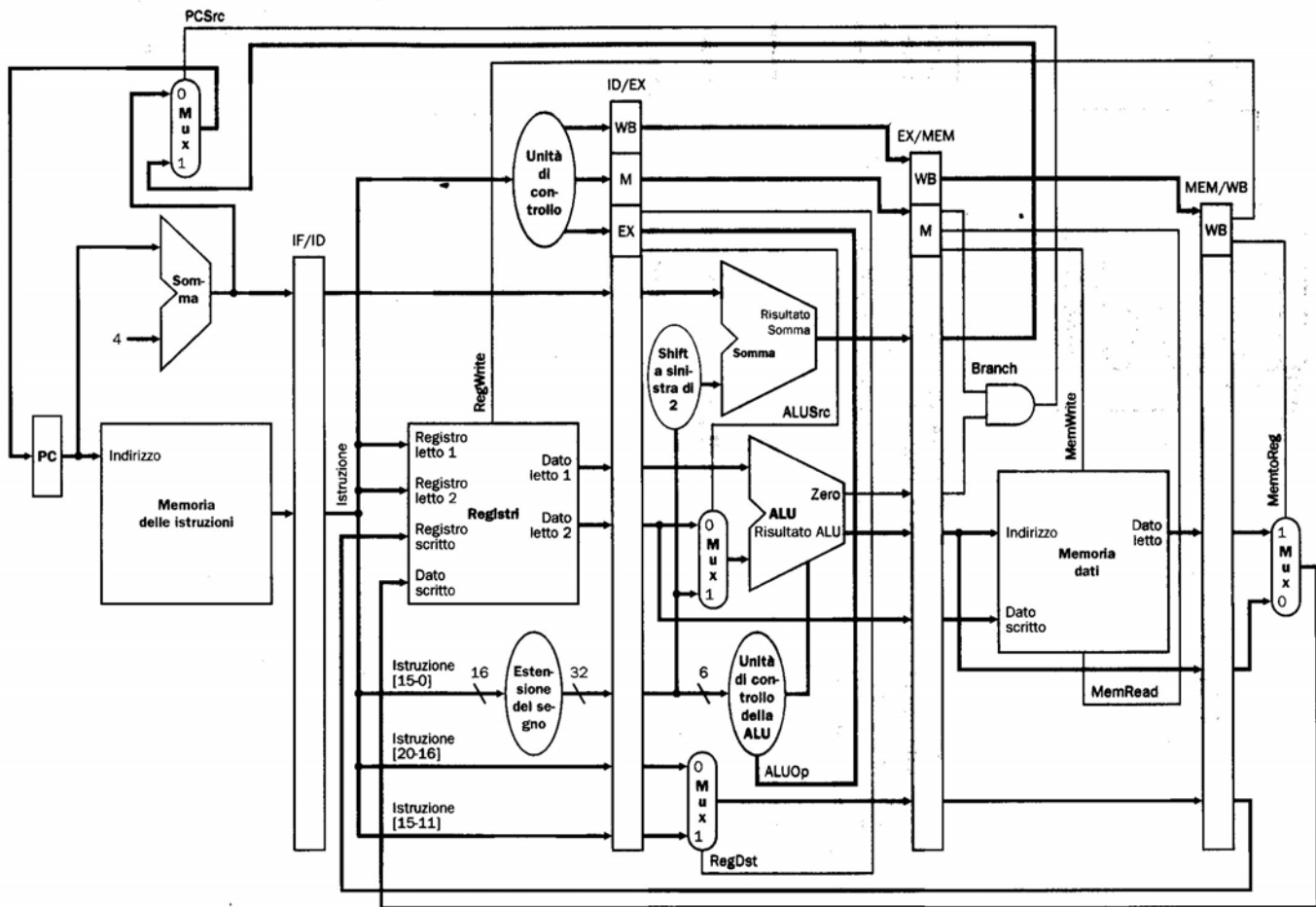
Cosa si intende per hazard? Cosa si intende per stallo?

Modificare la pipeline in modo che possa gestire un hazard sui dati di tipo "stall on load". Specificare l'algoritmo da implementare ed il circuito corrispondente.

[6] Disegnare una cache a 2 vie di 16Kbyte con linee di 256 byte e parole di 2 byte. Definire il ruolo dei vari bit di indirizzamento tenendo conto che l'indirizzo e' assegnato su 32 bit. Disegnare la porta di lettura. Disegnare una cella di memoria SRAM e di memoria DRAM ed illustrare la differenza. Spiegare cosa si intende per modalità di trasferimento a burst, a chi si applica e perchè si utilizza e su quali proprietà delle architetture si basa.

[6] Descrivere l'architettura globale di una moderna scheda grafica. Che tipo di parallelismo viene implementato? Cosa è CUDA? Cosa si intende per architettura multi-threading? Cosa si intende per architettura multiple-issue? Illustrare le caratteristiche delle architetture multiple-issue.

[8] Progettare una macchina a stati finiti (di Moore) che realizza una sistema di accesso a combinazione segreta: soltanto dopo aver premuto in sequenza i tasti: "0 4 0 1", l'uscita, che comanda l'apertura della porta, va a livello logico 1 e consente l'apertura della porta. Dopodichè la pressione di un qualunque tasto riporta la macchina nello stato iniziale. (suggerimento: si consideri una sola linea d'ingresso per tutti i tasti diversi da "0", "1" e "4"). Determinare STG, STT, STT codificata e la struttura circuitale completa della macchina. Definire la complessità della parte combinatoria ed il suo cammino critico. Si può realizzare come macchina sincrona o non sincrona? Perché?



Codici operativi:

- addi -> 8
- lw -> 35
- sw -> 43
- j -> 2
- jal -> 3
- beq -> 4

Campo funzione:

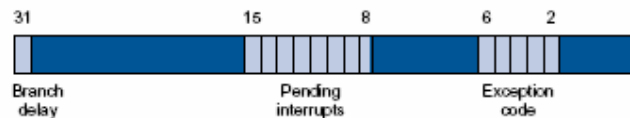
- add -> 32
- sub -> 34
- or -> 37
- and -> 36

0	zero	constant 0	16	s0	callee saves
1	at	reserved for assembler	... (caller can clobber)		
2	v0	expression evaluation &	23	s7	
3	v1	function results	24	t8	temporary (cont'd)
4	a0	arguments	25	t9	
5	a1		26	k0	reserved for OS kernel
6	a2		27	k1	
7	a3		28	gp	Pointer to global area
8	t0	temporary: caller saves	29	sp	Stack pointer
...		(callee can clobber)	30	fp	frame pointer (s8)
15	t7		31	ra	Return Address (HW)

Coprocessore 0

Nome del registro	Numero del registro in coprocessore 0	Utilizzo
Bad/Addr	8	Registro contenente l'indirizzo di memoria a cui si è fatto riferimento
Count	9	Timer
Compare	11	Valore da comparare con un timer. Genera un interrupt.
Status	12	Maschera delle interruzioni e bit di abilitazione. Stato dei diversi livelli di priorità (6 HW e 2 SW).
Cause	13	Tipo dell'interruzione e bit delle interruzioni pendenti
EPC	14	Registro contenente l'indirizzo dell'istruzione che ha causato l'interruzione.

Registro causa:



Registro stato:

