

Cognome e nome dello studente:

Matricola:

Anno di corso e turno:

A.A. 2005-2006 – Appello del 29 Gennaio 2007

1. [14] Data la CPU con pipeline nella pagina seguente:

a) Definire quando inizia l'esecuzione vera e propria di un'istruzione e da quali fasi è costituita [1].

b) Che cosa caratterizza una CPU con pipeline e qual è la funzione di ogni stadio? Quali sono le informazioni di input perché ciascuno stadio funzioni correttamente e quali informazioni produce in output? Dove si trovano le informazioni di input e dove vengono scritte le informazioni di output di ogni stadio? [2]

c) Dato il seguente segmento di codice:

addi \$s0, \$t1, 64

sub \$t2, \$s2, \$t2

beq \$t0, \$s1, End

lw \$t2, 0(\$t0)

add \$t3, \$t3, \$t3

Scrivere il contenuto di **tutti** i registri di pipe-line quando l'istruzione add \$t3, \$t3, \$t3 si trova al termine della fase di fetch [5]. I codici operativi sono: sw: 43, beq: 4, addi: 8, add (funct 32), sub (funct 34), \$t0 = \$8, \$s0 = \$16.

d) Definire cos'è un hazard e cos'è uno stallo. Identificare se nel frammento di codice di cui sopra ci sono hazard. Eventualmente modificare la CPU riportata nella pagina seguente in modo tale che riesca a gestire al meglio questi hazard: [6].

2. [6] Scrivere correttamente in linguaggio Assembly una procedura ricorsiva che calcoli il fattoriale di un numero N. **Spiegare le convenzioni di utilizzo dei registri e la motivazione.**

3. [6] Definire l'architettura HW delle memorie SRAM e DRAM. Definire il ciclo di lettura / scrittura dei due tipi di memoria Cos'è la modalità burst? Perché le SRAM non funzionano in modalità burst?

4. [3] Scrivere nelle due forme canoniche la seguente funzione logica: $Y = (BC + A)D + D$

5. [5] Definizione di interrupt ed eccezione e modalità di gestione da parte di una CPU Mips ed Intel.

