

Cognome e nome dello studente:

Matricola:

A.A. 2008-2009 – Quarta prova in itinere – 9 Giugno 2009

[9] Disegnate una cache per un'architettura MIPS, a 4 vie di 2KByte per banco, e linee di 8 parole (per ciascun banco). Supponiamo che la parola sia costituita da 8 byte (architettura a 64 bit). Supponiamo anche che l'indirizzamento della memoria principale sia su 32 bit. Disegnare la porta di scrittura della cache definendo le linee, ingressi ed uscite per le singole celle di memoria che costituiscono la cache. Non viene richiesto di sintetizzare il circuito di controllo che opera la scelta fra i diversi banchi). Definire cosa rappresenta il campo TAG e dimensionarlo opportunamente. Supponiamo che all'inizio i bit di validità siano tutti a 0. Definire cosa succede in corrispondenza di questo frammento di codice (se si verifica una miss, una hit e dove vengono scritti / letti i dati della cache, quale indirizzo e quale tag vengono associati ad ogni istruzione):

```
sw $t0, 24($zero)
lw $t0, 64($zero)
lw $t0, 56($zero)
sw $t0, 56($zero)
sw $t0, 0($zero)
lw $t0, 24($zero)
lw $t0, 64($zero)
lw $t0, 128($zero)
lw $t0, 2080($zero)
```

DOMANDE

- [2] Perché sono state introdotte le gerarchie di memoria? Cos'è un hit e miss della memoria? Cosa comporta?
- [2] Cosa si intende per write through e write back? Quali vantaggi presenta ciascuna delle due modalità? Cosa si intende per coerenza (di una memoria)? Cosa si intende per memoria associativa?
- [2] E' possibile per una memoria cache ad n-vie avere lo stesso TAG su linee diverse? E TAG uguali sulla stessa linea, su banchi diversi? E' possibile per una memoria cache completamente associativa avere lo stesso TAG su linee diverse? Motivare le risposte.
- [1] Definire i criteri di progettazione della cache primaria e secondaria.
- [4] Disegnare la struttura di DRAM sincrona di 16Kbyte su un'architettura con parole di 32 bit. Dimensionare gli elementi. Cosa sono i segnali RAS e CAS? Perché sono stati introdotti? Come avviene la lettura e la scrittura della memoria? Come si fa ad aumentare il throughput di una memoria DRAM?.
- [2] Cos'è il refresh della memoria? Si applica alle memorie SRAM? E alle memorie DRAM? Motivare le risposte.
- [1] Cosa fareste per scegliere quale architettura acquistare tra 4 diverse architetture? Cos'è lo SPEC? Cos'è un kernel benchmark e quando si può utilizzare in modo sensato?
- [1] Descrivere la struttura di un disco magnetico. Quali sono i tempi che compongono il tempo di accesso?
- [2] Descrivere lo schema dell'architettura dei bus di una architettura Intel recente. Quali sono le tappe principali dell'evoluzione dei bus? Cosa si intende per procedura di handshaking? Cosa comporta?
- [2] Cosa si intende per arbitraggio? Cosa si arbitra e chi arbitra? Descrivere un protocollo di arbitraggio su bus a scelta.
- [4] Dato un programma con il seguente MIX di istruzioni: accesso a memoria (15%), Branch (15%), Operazioni aritmetico-logiche (40%), Jump (10%), operazioni floating point (20%). Suppondo che i tempi di esecuzione delle istruzioni appartenenti alle quattro diverse classi sia rispettivamente: 10ms, 6ms, 8ms, 2ms, 12ms. definire qual'è l'aumento di prestazioni che si ottiene se:
- la velocità di esecuzione delle operazioni aritmetico-logiche viene triplicata.
 - la velocità di esecuzione delle branch (tenuto conto delle criticità) viene dimezzata.
 - la velocità di esecuzione delle istruzioni di accesso a memoria viene quadruplicata.
- Definire il massimo incremento di prestazioni possibile (asintotico) per un miglioramento dell'esecuzione delle istruzioni appartenenti alla classe delle istruzioni floating point.
- d) enunciare e derivare la legge di Amdahl. Qual è il massimo guadagno di prestazioni globali, quando il tempo di esecuzione del componente migliorata tende ad infinito?
- [2] Quali sono le caratteristiche principali delle architetture INTEL. Riportare almeno un esempio di istruzione e confrontarla con la o le istruzioni MIPS equivalenti.
- [2] Quali sono le caratteristiche principali di un'architettura nVidia che supporta CUDA? Confrontatela con le architetture MIPS.