

Cognome e nome dello studente:

Matricola:

A.A. 2007-2008 – Appello del 24 Luglio 2008

[13] Data la CPU con pipeline nella pagina seguente:

- a) Definire da quali fasi è costituito il ciclo di esecuzione di un'istruzione e quando inizia l'esecuzione vera e propria [1].
- b) Che cosa caratterizza una CPU con pipeline e qual è la funzione di ogni stadio? Quali sono le informazioni di input perché ciascuno stadio funzioni correttamente e quali informazioni produce in output? Dove si trovano le informazioni di input e dove vengono scritte le informazioni di output di ogni stadio? [1]
- c) Dato il seguente segmento di codice:

```
ori $s0, $t1, 64
lw $t2, 0($t0)
sub $t2, $s2, $t2
addi $t3, $t3, 64
and $t5, $t5, $t6
```

Scrivere cosa viene scritto in **tutti** i registri di pipe-line (l'ingresso) quando l'istruzione and \$t5, \$t5, \$t6 si trova nella fase di fetch [5]. Non tenere conto degli hazard.

- d) Definire cos'è un hazard e cos'è uno stallo. Identificare se nel frammento di codice di cui sopra ci sono hazard. Eventualmente modificare la CPU in modo tale che riesca a gestire al meglio questi hazard [4]. Come vengono gestiti eccezioni ed interrupt dalla CPU [2]?

[1] Descrivere l'architettura globale di una moderna scheda grafica. Che tipo di parallelismo viene implementato? Cosa è CUDA?

[3] Cosa si intende per multiple issue statico e dinamico? Compararli e commentare.

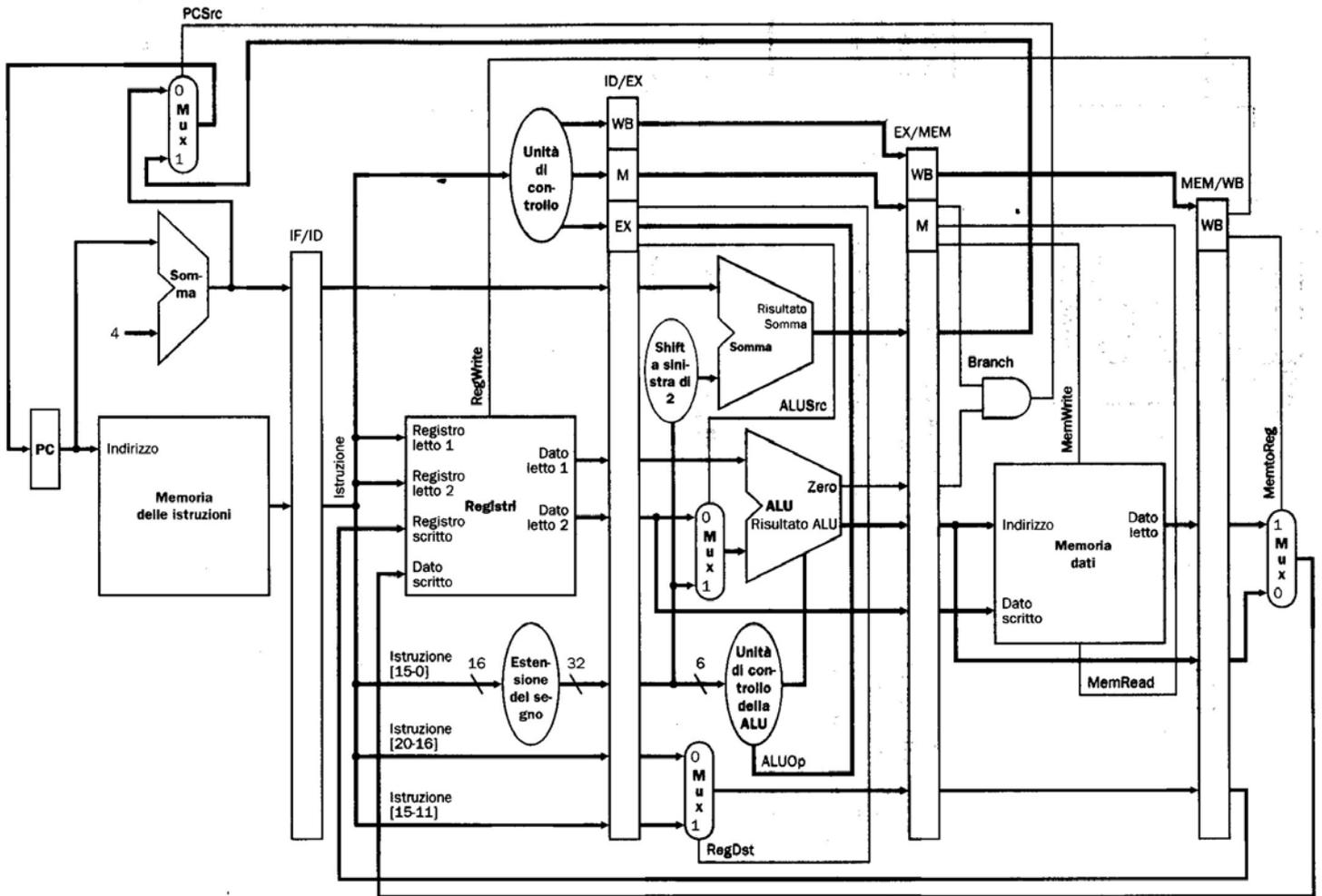
[5] Costruire un circuito firmware per la moltiplicazione di due parole di 8 bit. Disegnare un circuito che controlli se si verifica un overflow (risultato su un numero di bit maggiori di 8).

[3] Costruire un circuito logico in grado di effettuare l'AND e l'OR di quattro ingressi utilizzando porte a due bit.

[5] A cosa serve la memoria? Descrivere un disco rigido. Disegnare una cache a piacere associativa a 2 vie, il suo circuito di lettura e scrittura completo.

[3] Cos'è il refresh della memoria? Si applica alle memorie SRAM? E alle memorie DRAM? Motivare le risposte. Cosa si intende per write through e write back? Cosa si intende per coerenza (di una memoria)? Cosa si intende per memoria associativa?

[1] Definire almeno due metriche di valutazione delle prestazioni. Enunciare la legge di Amhdal.

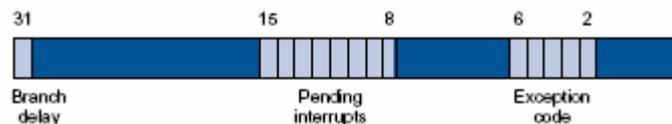


0	zero constant 0	16	s0 callee saves ... (caller can clobber)
1	at reserved for assembler	23	s7
2	v0 expression evaluation &	24	t8 temporary (cont'd)
3	v1 function results	25	t9
4	a0 arguments	26	k0 reserved for OS kernel
5	a1	27	k1
6	a2	28	gp Pointer to global area
7	a3	29	sp Stack pointer
8	t0 temporary: caller saves ... (callee can clobber)	30	fp frame pointer (s8)
15	t7	31	ra Return Address (HW)

Coprocessore 0

Nome del registro	Numero del registro in coprocessore 0	Utilizzo
Bad/Addr	8	Registro contenente l'indirizzo di memoria a cui si è fatto riferimento
Count	9	Timer
Compare	11	Valore da comparare con un timer. Genera un interrupt.
Status	12	Maschera delle interruzioni e bit di abilitazione. Stato dei diversi livelli di priorità (6 HW e 2 SW).
Cause	13	Tipo dell'interruzione e bit delle interruzioni pendenti
EPC	14	Registro contenente l'indirizzo dell'istruzione che ha causato l'interruzione.

Registro causa:



Registro stato:

