

Cognome e nome dello studente:

Matricola:

A.A. 2006-2007 – Appello del 24 Luglio 2007

1. [5] Spiegare il principio su cui si basa il funzionamento dei sommatore ad anticipazione di riporto. Ricavare la funzioni logiche che definiscono i termini di propagazione e generazione in un sommatore ad anticipazione di riporto a 4 bit.
2. [6] Tradurre in linguaggio Assembly la seguente funzione, evitando di utilizzare pseudo-istruzioni (si supponga di gestire sempre numeri minori di 2^{32}). Utilizzare correttamente i registri.

```
int Funzione( int n )
{
    if( n < 1 )
        return( 0 );
    else
        return( 1 + n * Funzione(n-1) );
}
```

3. [4] Tradurre in Assembly nativo e in linguaggio macchina MIPS le seguenti pseudo-istruzioni:
li \$2, 0x12345678
blti \$6, 5, +12 # **blti = branch on less than immediate**
4. [7] Progettare una macchina a stati finiti di Moore che implementa un contatore da -2 a $+2$. Il contatore riceve 3 ingressi binari: “INCR”, che quando va a “1” incrementa il contatore di 1, “DECR” che lo decrementa di 1, e “RESET” che lo azzerà. Quando il contatore raggiunge $+2$, i successivi incrementi vengono ignorati, e lo stesso per i decrementi quando vale -2 . Si supponga, per semplicità, che solo un ingresso alla volta possa andare a “1”. Il contatore presenta 2 uscite binarie: una va a “1” quando il contatore è arrivato a $+2$, l'altra quando è a -2 . Determinare STG, STT, STT codificata e determinare le funzioni logiche di uscita e stato prossimo.
5. [6] Si consideri una memoria cache 4–associativa, che serve un processore con bus dati di 16 bit e bus indirizzi di 24 bit. La capacità totale della cache è di 64 kbyte e la dimensione di blocco (della linea) è di 16 parole. Dimensionare la cache, definendo come viene utilizzata la parola d'indirizzo di memoria. Disegnare lo schema circuitale di tale memoria, esplicitando le dimensioni di tutte le linee. Determinare quali bytes della memoria cache possano venire modificate eseguendo l'istruzione:
sw \$s1, 0x1020FF
6. [4] Su quale principio si basa un'architettura pipeline? Da dove nasce l'incremento di prestazioni? Cosa si intende per hazard? Cosa si intende per stallo? Cosa si intende per flush? Cos'è un branch prediction buffer? Cosa si intende per superpipeline? Cosa si intende per pipeline superscalare? Quali modi esistono per gestire gli hazard?
7. [4] In un calcolatore, l'introduzione di una memoria cache ha portato ad un incremento globale della velocità di 2 volte, con un hit-rate del 75%. Di quante volte è più veloce la cache introdotta rispetto alla memoria principale? Quanto aumenterebbe la velocità del calcolatore se la velocità della cache fosse infinita?