

Cognome e nome dello studente:

Matricola:

A.A. 2006-2007 – Appello del 21 Giugno 2007

1. [2]. A cosa servono le forme canoniche? Hanno una diretta implementazione circuitale? Data un circuito digitale, è unica la forma canonica che gli corrisponde? Cos'è un mintermine? Cos'è un maxtermine?

2. [6]. Modificare la CPU che controlla gli Hazard quando si trova questo segmento di codice:

```
lw $s0, 0($s1)
add $t0, $s0, $s1
```

3. [3]. Come vengono gestite le branch e le jump dalla pipeline del MIPS? Come vengono gestite in una pipeline superscalare?

5. [4+3] Tradurre in Assembly MIPS il seguente frammento di codice [4]:

```
for (i=0; i < N; i++)
{
    a += vett[i];
}
```

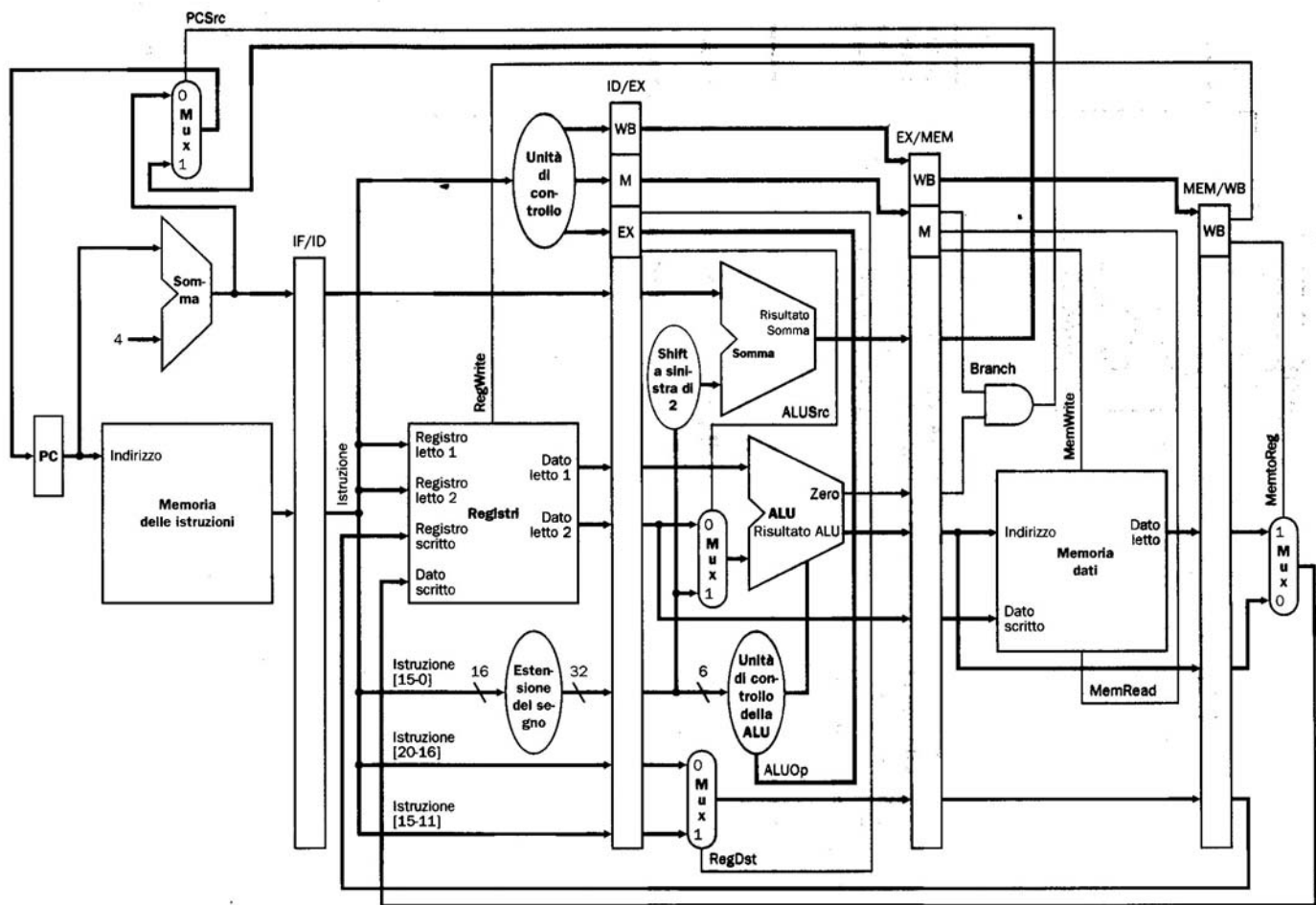
Tradurre il codice Assembly scritto in codice in linguaggio macchina [3].

6. [9] Disegnate una cache per un'architettura MIPS, a 4 vie di 1KByte per banco, e linee di 4 parole (per ciascun banco). Supponiamo che l'indirizzamento della memoria principale sia su 32 bit. Disegnare il circuito di scrittura della cache. Definire cosa rappresenta il campo TAG e dimensionarlo. Supponiamo che all'inizio i bit di validità siano tutti a 0. Definire cosa succede in corrispondenza di questo frammento di codice (se si verifica una miss, una hit e dove vengono scritti / letti i dati della cache, quale indirizzo e quale tag vengono associati ad ogni istruzione):

```
sw $t0, 20($zero)
lw $t0, 64($zero)
lw $t0, 60($zero)
sw $t0, 56($zero)
sw $t0, 0($zero)
lw $t0, 20($zero)
lw $t0, 64($zero)
lw $t0, 128($zero)
```

7. [5] Disegnare una possibile struttura di questa memoria cache quando è implementata mediante celle DRAM o SRAM.

8. [4] Cosa si intende per write through e write back? Cosa si intende per coerenza (di una memoria)? Cosa si intende per memoria associativa? Definire i criteri di progettazione della cache primaria e secondaria. Disegnare la struttura di DRAM sincrona di 1Kbyte. Dimensionare gli elementi. Cosa sono i segnali RAS e CAS? Perché sono stati introdotti?. Cos'è il refresh della memoria? Si applica alle memorie SRAM? E alle memorie DRAM? Motivare le risposte Cosa si intende per codice di controllo degli errori? Come funziona il codice di parità? Disegnare un possibile circuito di controllo degli errori ed un circuito di correzione degli stessi [4].



Codici operativi: lw – 35, sw – 43, addi – 8, beq – 4, j – 2. Campo funct: add – 32, or – 35, and – 36.

Number	Name	Cause of exception
0	Int	Interrupt (hardware)
4	AdEL	address error exception (load or instruction fetch)
5	AdES	address error exception (store)
6	IBE	bus error on instruction fetch
7	DBE	bus error on data load or store
8	Sys	syscall exception
9	Bp	breakpoint exception
10	RI	reserved instruction exception
11	CpU	coprocessor unimplemented
12	Ov	arithmetic overflow exception
13	Tr	trap
15	FPE	floating point

0	zero constant 0	16	s0 callee saves
1	at reserved for assembler	...	(caller can clobber)
2	v0 expression evaluation &	23	s7
3	v1 function results	24	t8 temporary (cont'd)
4	a0 arguments	25	t9
5	a1	26	k0 reserved for OS kernel
6	a2	27	k1
7	a3	28	gp Pointer to global area
8	t0 temporary: caller saves	29	sp Stack pointer
...	(callee can clobber)	30	fp frame pointer (s8)
15	t7	31	ra Return Address (HW)

Nome del registro	Numero del registro in coprocessore 0	Utilizzo
Bad/Addr	8	Registro contenente l'indirizzo di memoria a cui si è fatto riferimento
Count	9	Timer
Compare	11	Valore da comparare con un timer. Genera un interrupt.
Status	12	Maschera delle interruzioni e bit di abilitazione. Stato dei diversi livelli di priorità (6 HW e 2 SW).
Cause	13	Tipo dell'interruzione e bit delle interruzioni pendenti
EPC	14	Registro contenente l'indirizzo dell'istruzione che ha causato l'interruzione.