

Cognome e nome dello studente:

Matricola:

Anno di corso e turno:

A.A. 2005-2006 – Appello del 20 Settembre 2006

1. [15] Data la CPU con pipeline nella pagina seguente:

a) Definire quando inizia l'esecuzione vera e propria di un'istruzione e da quali fasi è costituita [1].

b) Che cosa caratterizza una CPU con pipeline e qual è la funzione di ogni stadio? Quali sono le informazioni di input perché ciascuno stadio funzioni correttamente e quali informazioni produce in output? Dove si trovano le informazioni di input e dove vengono scritte le informazioni di output di ogni stadio? [2]

c) Dato il seguente segmento di codice:

add \$s0, \$t1, \$t2

beq \$t2, \$s2, oltre

sub \$t0, \$t1, \$s2

sw \$t2, 0(\$s0)

addi \$s3, \$s3, 64

Scrivere il contenuto di **tutti** i registri di pipe-line quando l'istruzione addi \$s3, \$s3, \$s3 si trova al termine della fase di fetch [5]. I codici operativi sono: sw: 43, beq: 4, addi: 8, add (funct) 32, sub (funct) 34, \$t0 = \$8, \$s0 = \$16.

d) Definire cos'è un hazard e cos'è uno stallo. Identificare se nel codice di cui sopra ci sono hazard, ed eventualmente modificare la CPU in modo tale che l'esecuzione del codice di cui sopra sia corretta. [7]

2. [6] Scrivere correttamente in linguaggio Assembly una procedura ricorsiva che calcoli il fattoriale di un numero N. Spiegare le convenzioni di utilizzo dei registri e la motivazione.

3. [7] Si consideri una memoria cache 2-associativa, in un'architettura con parole di 32 bit. La capacità della cache è di 1KByte complessivi e la dimensione della linea è di 8 parole.

Dimensionare la cache, definendo come viene partizionato l'indirizzo di memoria. Disegnare lo schema dettagliato di tale memoria con il circuito di lettura, esplicitando le dimensioni di tutti i segnali. Mostrare inoltre dove viene memorizzato, nella cache, il byte di memoria situato all'indirizzo di RAM: 0x80008888. Descrivere le strategie possibili per la scelta del banco per la scrittura di un blocco in cache, in memorie cache n-associative. Si discutano e si confrontino le caratteristiche delle diverse strategie. Definire secondo quali modalità viene mantenuta la coerenza tra contenuto di cache e di RAM.

4. [3] Dimostrare che la porta NAND o la porta NOR sono porte universali. Dare la definizione di prima forma canonica.

5. [3] Descrivere le strutture necessarie in una CPU per la gestione di interrupts e le principali strategie di gestione della risposta allo stesso.

