

Cognome e nome dello studente:

Matricola:

Anno di corso e turno:

A.A. 2005-2006 – Appello del 21 Luglio 2006

1. [13] Data la CPU con pipeline seguente:

a) Definire quando viene decodificata l'istruzione e cosa comporta la decodifica [1].

b) Che cosa caratterizza una CPU con pipeline e qual è la funzione di ogni stadio? Quali sono le informazioni di input perché ciascuno stadio funzioni correttamente e quali informazioni produce in output? Dove si trovano le informazioni di input e dove vengono scritte le informazioni di output di ogni stadio? [2]

c) Dato il seguente segmento di codice:

```
add $s0, $s1, $s2
```

```
addi $s0, $s2, $s3
```

```
sub $t0, $t1, $t2
```

```
lw $t6, 0($t0)
```

```
addi $t3, $t3, $t3
```

Scrivere il contenuto di **tutti** i registri di pipe-line quando l'istruzione `addi $t3, $t3, $t3` si trova al termine della fase di fetch [5]. I codici operativi sono: `lw`: 35, `addi`: 8, `sub` (funct) 34, `$t0` = \$8, `$s0` = \$16.

d) Definire cos'è un hazard e cos'è uno stallo. Identificare se nel codice di cui sopra ci sono hazard, ed eventualmente modificare la CPU in modo tale che l'esecuzione del codice di cui sopra sia corretta. [5]

2. [6] Si rappresenti una struttura circuitale di un moltiplicatore firmware di parole di 4 bit. Su tale struttura si evidenzia il cammino critico e se ne calcoli il valore.

3. [6] Scrivere in linguaggio Assembly una procedura che calcoli il fattoriale di un numero N.

4. [7] Si consideri una memoria cache 2-associativa, in un'architettura con parole di 32 bit. La capacità della cache è di 1KByte complessivi e la dimensione della linea è di 4 parole.

Dimensionare la cache, definendo come viene partizionato l'indirizzo di memoria. Disegnare lo schema dettagliato di tale memoria con il circuito di lettura, esplicitando le dimensioni di tutti i segnali. Mostrare inoltre dove viene memorizzato, nella cache, il byte di memoria situato all'indirizzo di RAM: 0x11118888. Descrivere le strategie possibili per la scelta del banco per la scrittura di un blocco in cache, in memorie cache n-associative. Si discutano e si confrontino le caratteristiche delle diverse strategie. Definire secondo quali modalità viene mantenuta la coerenza tra contenuto di cache e di RAM.

5. [3] Definire un'architettura di bus ed uno schema possibile di arbitraggio? Cosa si intende per arbitraggio? Chi arbitra? Cosa viene arbitrato?

