

Cognome e nome dello studente:

Matricola:

Anno di corso e turno:

A.A. 2004-2005 – Appello del 19 Luglio 2005

1. [6] **Assembly + linguaggio macchina + compilazione.** Scrivere correttamente il codice Assembly che implementi un programma che esegui dei calcoli su 4 variabili: a, b, c, d e stampi il risultato contenuto nella variabile z [3].

Il valore di z verrà calcolato da una procedura “differenza”. Il corpo di questa procedura è il seguente:

$$z = a + c;$$

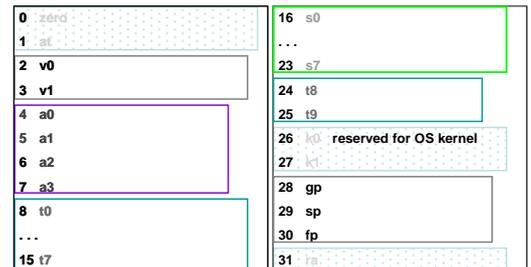
Il valore di c viene calcolato da una procedura “calcola”. Il corpo di questa procedura è il seguente:

$$\begin{cases} c = b - d & \text{se } b > d; \\ c = b + d & \text{se } b < d; \end{cases}$$

Tradurre in linguaggio macchina la procedura che calcola il valore di c [3].

2. [5] **Sintesi circuiti combinatori** Data la seguente funzione booleana definita in forma tabellare:

a	b	c	z
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0



Dire se $z = (!a)c + a b (!c)$ esprime la funzione nella prima forma canonica e perché [1].

Dire se conviene esprimere la funzione nella prima o nella seconda forma canonica e perché [1]

Implementare la funzione in una PLA con 6 porte AND e in una ROM [3].

3. [4] **Pipeline.** Scrivere il contenuto dei registri di pipeline (master, vedi schema pagina successiva) al termine di ciascuno degli stadi di esecuzione dell’istruzione:

480: addi \$t0, \$t1, 32

Cosa si intende per criticità sul controllo? Quali tecniche si utilizzano per risolverle? [1]

4. [8] **Cache.** Data una cache di 2048byte, a 2 vie, con linee di 8parole:

a) Determinare la posizione in cache in cui viene letta la parola con l’istruzione `lw $s0, 3072($zero)` [3]

b) Sapendo che la parola di indirizzamento è di 32 bit, suddividere i 32 bit tra i vari campi: tag, indirizzamento della linea ed indirizzamento della word all’interno della linea [1]

c) Quante parole è verosimile che vengano trasferite da cache a CPU e da cache alla memoria? [1]

d) Cosa si intende per HIT e MISS? Chi genera questi segnali? [1]

e) Cosa si intende per “cache coherence” e quali sono i meccanismi per preservarla? Cosa si intende per LRU? [2]

5. [5] **Periferiche.**

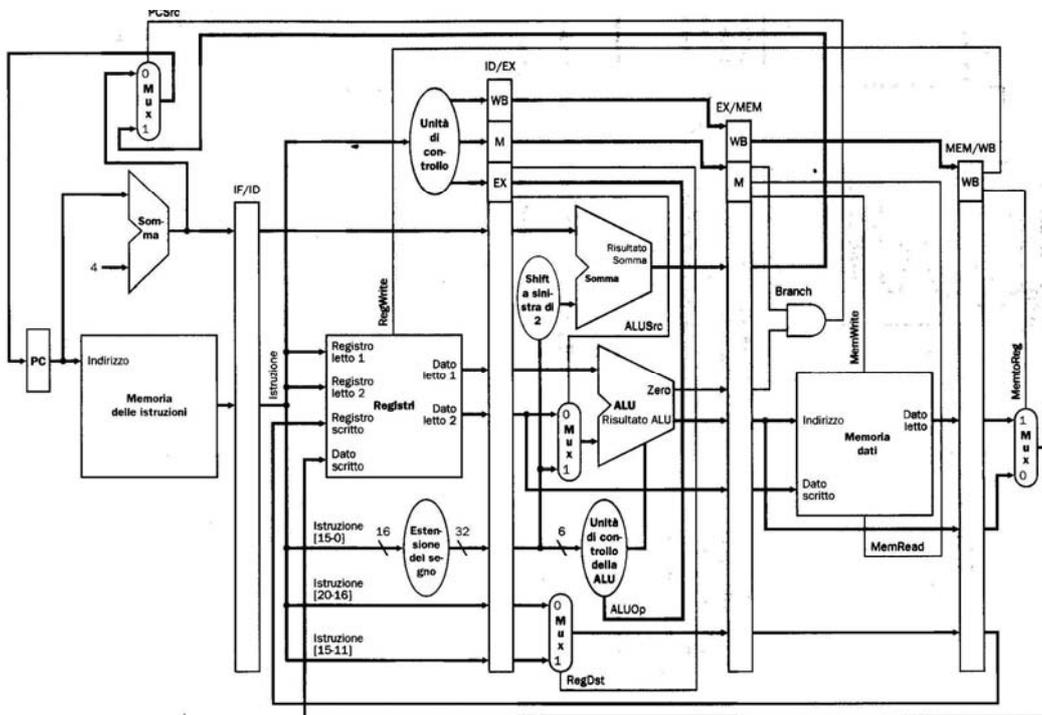
Descrivere la struttura dei dischi magnetici e definire i tempi caratteristici [2].

Definire alcune caratteristiche del bus firewire. Ruolo dei bridge [2].

Quando è conveniente utilizzare il polling [1]?

6. [3] **Arbitraggio.** Cosa si intende per arbitraggio del bus? Descrivere i tre schemi di arbitraggio del bus visti a lezione.

7. [4] **Prestazioni.** Descrivere una modalità di misura delle prestazioni e sottolinearne i punti forti ed i punti deboli. Enunciare la legge di Amhdal e farne un esempio.



Op (31:26)	rs (25:21)	ifz (17:16)	funct (4:0)	rt (20:16)	funct5:0 (15:10)	funct5:0 (15:10)	funct5:0 (15:10)
0 00					0 00000	0 00000	0 00000
1 01					1 00001	1 00001	1 00001
2 02					2 00010	2 00010	2 00010
3 03	jal				3 00011	3 00011	3 00011
4 04	beq				4 00100	4 00100	4 00100
5 05	bne				5 00101	5 00101	5 00101
6 06	bltz				6 00110	6 00110	6 00110
7 07	bgtz				7 00111	7 00111	7 00111
8 08	addi				8 01000	8 01000	8 01000
9 09	addu				9 01001	9 01001	9 01001
10 0a	sll				10 01010	10 01010	10 01010
11 0b	sllw				11 01011	11 01011	11 01011
12 0c	andi				12 01100	12 01100	12 01100
13 0d	ori				13 01101	13 01101	13 01101
14 0e	xori				14 01110	14 01110	14 01110
15 0f	lui				15 01111	15 01111	15 01111
16 10	z=0				16 10000	16 10000	16 10000
17 11	z=1				17 10001	17 10001	17 10001
18 12	z=2				18 10010	18 10010	18 10010
19 13					19 10011	19 10011	19 10011
20 14	beql				20 10100	20 10100	20 10100
21 15	bnel				21 10101	21 10101	21 10101
22 16	blz				22 10110	22 10110	22 10110
23 17	bgt				23 10111	23 10111	23 10111
24 18					24 11000	24 11000	24 11000
25 19					25 11001	25 11001	25 11001
26 1a					26 11010	26 11010	26 11010
27 1b					27 11011	27 11011	27 11011
28 1c					28 11100	28 11100	28 11100
29 1d					29 11101	29 11101	29 11101
30 1e					30 11110	30 11110	30 11110
31 1f					31 11111	31 11111	31 11111
32 20	lb				32 00000	32 00000	32 00000
33 21	lh				33 00001	33 00001	33 00001
34 22	lw				34 00010	34 00010	34 00010
35 23	lbu				35 00011	35 00011	35 00011
36 24	lhu				36 00100	36 00100	36 00100
37 25	lwr				37 00101	37 00101	37 00101
38 26					38 00110	38 00110	38 00110
39 27					39 00111	39 00111	39 00111
40 28	sb				40 01000	40 01000	40 01000
41 29	sh				41 01001	41 01001	41 01001
42 2a	swl				42 01010	42 01010	42 01010
43 2b	sw				43 01011	43 01011	43 01011
44 2c					44 01100	44 01100	44 01100
45 2d					45 01101	45 01101	45 01101
46 2e	swr				46 01110	46 01110	46 01110
47 2f	cache				47 01111	47 01111	47 01111
48 30	ll				48 10000	48 10000	48 10000
49 31	lwe1				49 10001	49 10001	49 10001
50 32	lwe2				50 10010	50 10010	50 10010
51 33	prel				51 10011	51 10011	51 10011
52 34					52 10100	52 10100	52 10100
53 35	lde1				53 10101	53 10101	53 10101
54 36	lde2				54 10110	54 10110	54 10110
55 37					55 10111	55 10111	55 10111
56 38	sc				56 11000	56 11000	56 11000
57 39	swel				57 11001	57 11001	57 11001
58 3a	swes2				58 11010	58 11010	58 11010
59 3b					59 11011	59 11011	59 11011
60 3c					60 11100	60 11100	60 11100
61 3d	sdcl				61 11101	61 11101	61 11101
62 3e	sdcs2				62 11110	62 11110	62 11110
63 3f					63 11111	63 11111	63 11111