

Cognome e nome dello studente:

Matricola:

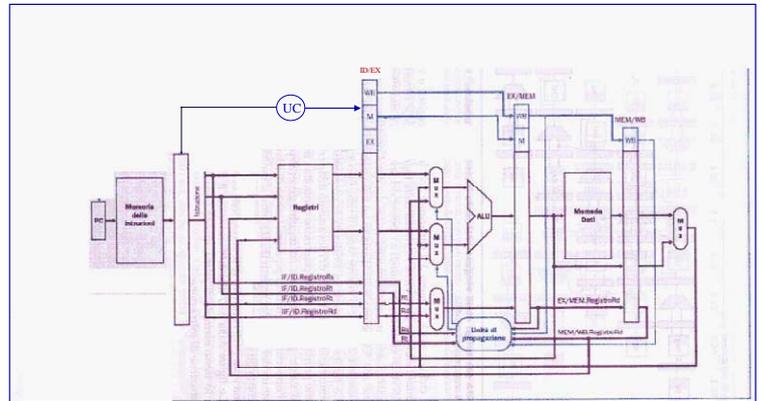
Anno di corso e turno:

A.A. 2004-2005 – Prova d'esame del 28 Febbraio 2005

1. [3] Disegnare uno dei possibili circuiti firmware della moltiplicazione intera.
2. [3 + 2] Scrivere la funzione logica implementata da un addizionatore ad anticipazione di riporto a 4 bit e calcolare il risparmio in tempi di cammino critico.
3. Domande [5]:
  - a) Cosa si intende per Mflop? Cos'è un kernel benchmark?
  - b) Che differenza c'è tra interrupt ed eccezioni?
  - c) Protocollo di rete IP.
  - d) Protocollo di trasporto TCP.
  - e) Cosa si intende per codifica "big endian" o "little endian" e mostrarne un esempio.
4. [3] Cosa rappresenta il segnale CAS di una memoria e perchè si utilizza? Descrivere la struttura di una memoria SRAM.

5. [7] Evidenziare, nel seguente schema di CPU, i valori all'ingresso ed all'uscita di ogni registro di pipeline ed i valori di ogni segnale di controllo, supponendo che la CPU stia decodificando l'istruzione: `lw $s5, 12($s1)`, all'interno del frammento di programma seguente:

```
add $s7, $t5, $t6
sub $s7, $t5, $t6
addi $s7, $t5, 16
lw $s5, 12($s1)
add $s7, $t5, $t6
```



Evidenziare eventuali hazard. Codice della add e della sub: 0, codice funzione della add: 32, della sub: 34. Codice della lw: 35, della addi 8.

6. [5] Il processore XYZ è progettato in modo da poter gestire fino a 32 MByte di memoria principale con parole di 64 bit. Tale processore viene dotato di una memoria cache a mappatura diretta di capacità 16 kByte e con linee di 8 parole. Dimensionare e disegnare lo schema di tale memoria cache, evidenziando le dimensioni di tutti i campi. Mostrare inoltre come viene memorizzata nella cache la parola di memoria situata all'indirizzo (decimale) 1024, specificandone i campi **index** e **tag**.
7. [2] Disegnare un possibile schema di arbitraggio del bus.
8. [2] Dischi magnetici. Struttura. Tempi di accesso.