

Cognome e nome dello studente:

Matricola:

Anno di corso e turno:

A.A. 2003-2004 – Prova d’esame del 17 giugno 2004

1. [3] Quali sono le modalità di indirizzamento usate nelle istruzioni seguenti? [2]

lw \$a0, 300(\$t0)

beq \$t0, \$t1, else

addi \$t0, \$s0, 18

add \$t2, \$at, \$s0

Quali tipo di formato hanno le istruzioni sopra? [1]

2. [2] Disegnare uno dei possibili schemi firmware della moltiplicazione intera.

3. [8] Sintetizzare la macchina a stati finiti che consente l’esecuzione delle seguenti 3 istruzioni: lw, addi, beq (STG, STT, circuiti), da parte della CPU multi-ciclo, riportata a fianco.

4. [6] Disegnare una cache a 2-vie con il circuito di lettura e scrittura. Specificare la corrispondenza tra i bit dell’indirizzo di memoria ed i segnali di controllo ed indirizzamento della cache.

5. [2] Cosa si intende per: “packet switching”, pipeline superscalare, “spin-lock” e “stallo”?

6. [6] Tradurre il seguente frammento di codice C nell’assembly del MIPS [3] e, poi, in linguaggio macchina [3].

$t4 = (2^{17})$

for (i=0; i<n; i++)

{ t0 = t1 + t4;

t3 = t0 * i;

}

sapendo che: \$t0 = \$7, e ricordando alcuni codici operativi: beq = 4, add = 0, addi = 8, j = 2, lui = 15, ed alcuni codici funzione: add = 32, sub = 34, slt = 42, , mult = 24, mfhi = 16, mflo = 18, sll = 0, slr = 2. Non si considerino eventuali overflow.

7. [9] Definire cosa si intende per hazard in una pipe-line ed illustrare come vengano gestiti gli hazard dalla CPU del MIPS. Scrivere un segmento di codice che contenga i diversi tipi di hazard ed individuare le dipendenze che li provocano.

