

**A.A. 2002-2003 – Prova d'esame del 23 giugno 2003 - Corso Architettura degli elaboratori e delle reti –
Turno 1 – Prof. Borghese**

Cognome e nome dello studente:

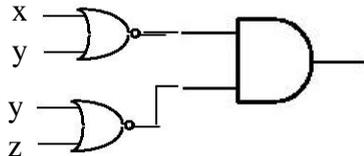
Matricola:

Anno di corso e turno:

- Disegnare un register file di 4 registri, ciascuno di 1 byte con le relative porte di lettura (una) e scrittura (una). [4].
- Supponete di essere al timone di una barca a vela con andatura di bolina e di dovere arrivare ad una boa. Sintetizzare la macchina a stati finiti che rappresenta il vostro controllo sotto queste ipotesi: [10].
 - Potete modificare il controllo al termine di un periodo di tempo fisso (cf. clock).
 - Il controllo vi consente di percorrere un bordo (tratto) a +/- 45 gradi rispetto alla linea che unisce lo starto con la boa
 ed un lato di poppa per tornare al punto di Start (2 valori distinti di input)
 - Occorrono 2 bordi per arrivare alla boa.
 - Se arrivate in una posizione da cui non è più possibile arrivare in boa, tornate al punto di partenza.
 - L'uscita della macchina è = 1 quando si raggiunge la boa.
 - Dalla boa si torna sempre al punto di Start.



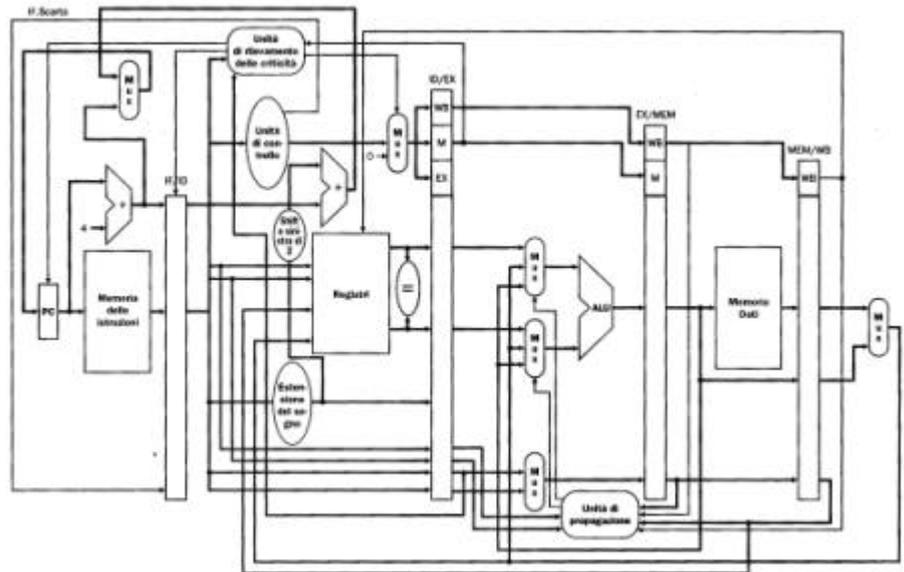
- Dato il circuito digitale, calcolare la funzione implementata e dire se $x(!y)z$ ne è un mintermine [3].



- Facendo riferimento alla CPU con pipeline riportata, spiegare come venga gestito il seguente hazard sui dati [3] e scrivere la funzione logica implementata dall'Unità di Propagazione per gestire questo particolare Hazard [3]:

```
add $s0, $s1, $s2
add $s3, $s2, $s0
```

Sempre facendo riferimento allo stesso schema descrivere i segnali di controllo dell'unità di controllo principale, necessari per l'esecuzione della prima istruzione: add \$s0, \$s1, \$s2. [3].



- Si consideri il VAX-11/780. La MISS_PENALTY è di 6 cicli di clock, mentre tutte le istruzioni impiegano 8.5 cicli di clock se si ignorano i MISS (stalli della memoria). Ipotizzando un MISS_RATE dell'11% e che vi siano in media 2 riferimenti alla memoria per ogni istruzione, [3]
 - Qual è l'impatto sulle prestazioni quando viene inserita la cache reale rispetto ad una cache ideale?
 - Qual è l'impatto sulle prestazioni tra il caso di cache reale e senza inserimento della cache?

- Descrivere il protocollo http [2].

- Dato il frammento di programma assembly:

```
add $t0, $s0, $s1
....
jal subr
....
add $s2, $s3, $t0.
```

Definire il record di attivazione della procedura subr e perché [3].