



# Una CPU multi-ciclo

Prof. Alberto Borghese  
Dipartimento di Scienze dell'Informazione  
[borgnese@dsi.unimi.it](mailto:borgnese@dsi.unimi.it)

Università degli Studi di Milano

Riferimento sul Patterson: Sezioni 5.5 e 5.6



## Sommario

### I problemi della UC a singolo ciclo di clock

Principi ispiratori di una CPU multi-ciclo. Le fasi di fetch e decodifica.

Esecuzione multi-ciclo delle istruzioni R

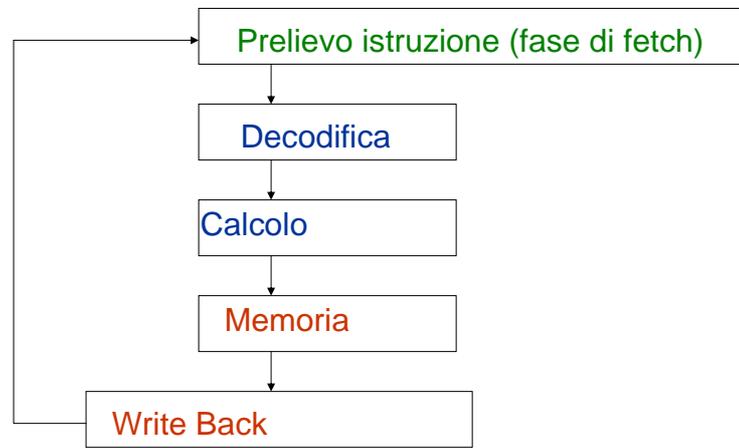
Esecuzione multi-ciclo delle istruzioni lw/sw.

Esecuzione delle istruzioni di salto.

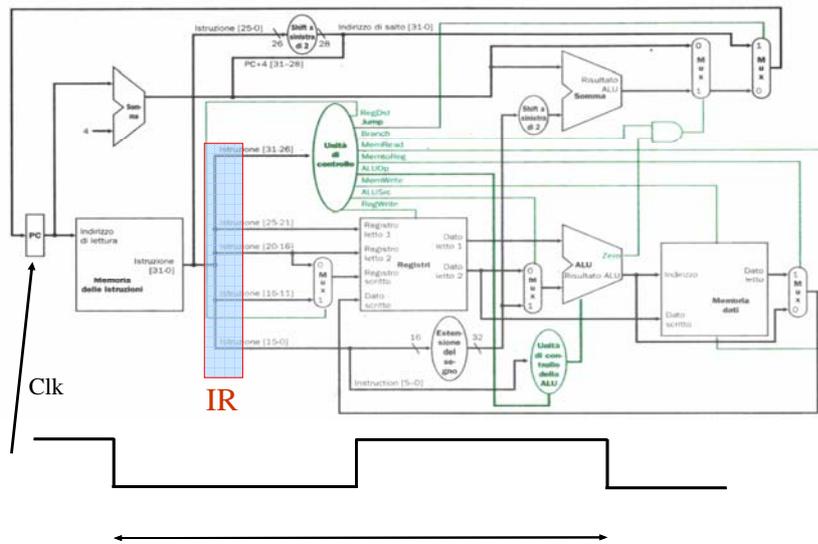
Analisi della CPU multi-ciclo.



# Ciclo di esecuzione di un'istruzione



# CPU + UC a Ciclo singolo



$T >$  Tempo necessario per eseguire il cammino critico



## Problemi

- Duplicazione della Memoria e triplicazione della ALU.  
Tuttavia le unità funzionali sono utilizzate in fasi diverse del ciclo di esecuzione di un'istruzione (e.g. Memoria istruzioni in fase di fetch, Memoria dati in fase di Lettura/scrittura).
- Durata uguale per istruzioni che richiedono tempi molto diversi.  
Il clock deve essere impostato secondo il cammino critico.



## Esecuzione in un singolo ciclo di clock

Assumiamo: memoria (2ns), ALU e sommatore (2ns), lettura/scrittura registri (1ns), decodifica (2ns), nessun ritardo, tempi trascurabili per gli altri elementi della CPU, componenti indipendenti possono lavorare in parallelo.

Istruzione	Memoria istruzioni	Lettura registri Decodifica	Operazione ALU	Memoria dati	Write back	Totale
Tipo R	2	2	2	0	1	7ns
lw	2	2	2	2	1	9ns
sw	2	2	2	2	0	8ns
beq	2	2	2	0	0	6ns
j	2	2	0	0	0	4ns

- La durata del ciclo di clock deve essere pari al percorso più lungo (cammino critico).  
Percorso più lungo dovuto ad istruzione di caricamento (lw)



## Valutazione della prestazione della CPU a singolo ciclo



Dipende dal programma.

	lw	sw	beq	j	R	fp (add)	fp (mul)	Durata Clock (max)	Durata media
Durata	9ns	8ns	6ns	4ns	7ns	12ns	20ns		
Caso I	24%	12%	18%	2%	44%			9ns	7.36ns
Caso II	31%	21%	5%	2%	27%	7%	7%	20ns	8.98ns

In ogni caso, un'implementazione a clock singolo porta ad uno spreco di tempo notevole.



## Come gestire istruzioni di durata diversa?



Quando è efficiente l'implementazione a singolo ciclo?

Clock di durata variabile è una soluzione?

Non viene risolto il problema della duplicazione delle unità funzionali.



## Sommario



I problemi della UC a singolo ciclo di clock

Principi ispiratori di una CPU multi-ciclo. Le fasi di fetch e decodifica.

Esecuzione multi-ciclo delle istruzioni R

Esecuzione multi-ciclo delle istruzioni lw/sw.

Esecuzione multi-ciclo delle istruzioni di salto.

Analisi della CPU multi-ciclo.



## Caratteristiche CPU multi-ciclo



Spezza l'istruzione in più passi, dove ciascun passo impiega lo stesso tempo.

Il clock non sincronizza più l'intera istruzione ma solamente il singolo passo.

Le istruzioni possono essere eseguite in un numero diverso di cicli di clock.

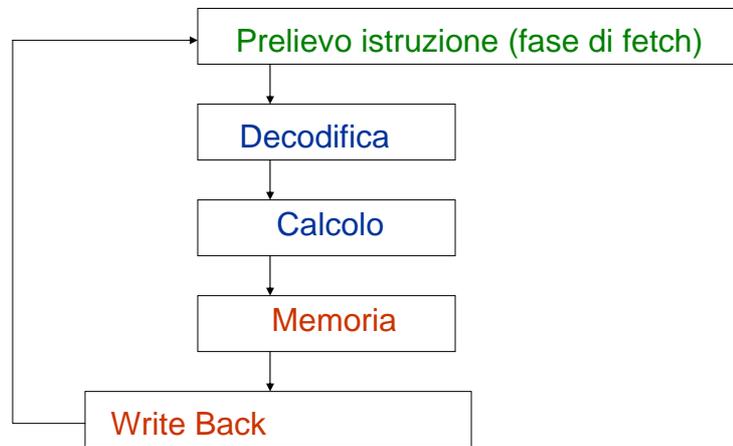
Consente di riutilizzare le unità funzionali (in cicli di clock diversi).

Richiede l'aggiunta di HW addizionali (registri di memoria temporanea). Questi devono memorizzare lo stato delle unità funzionali, cioè l'informazione che può servire ai passi successivi e che rischia di essere sovrascritta dal riutilizzo dell'unità funzionale.

L'unità di controllo diventa una FSM.



## Ciclo di esecuzione di un'istruzione



Le istruzioni richiederanno da 3 a 5 cicli di clock



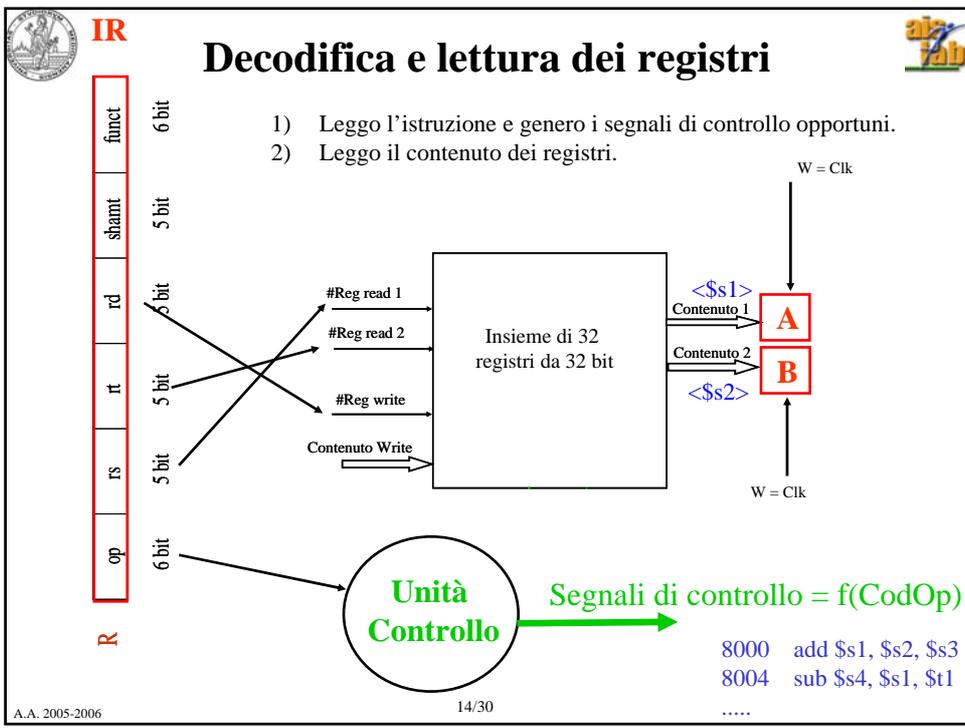
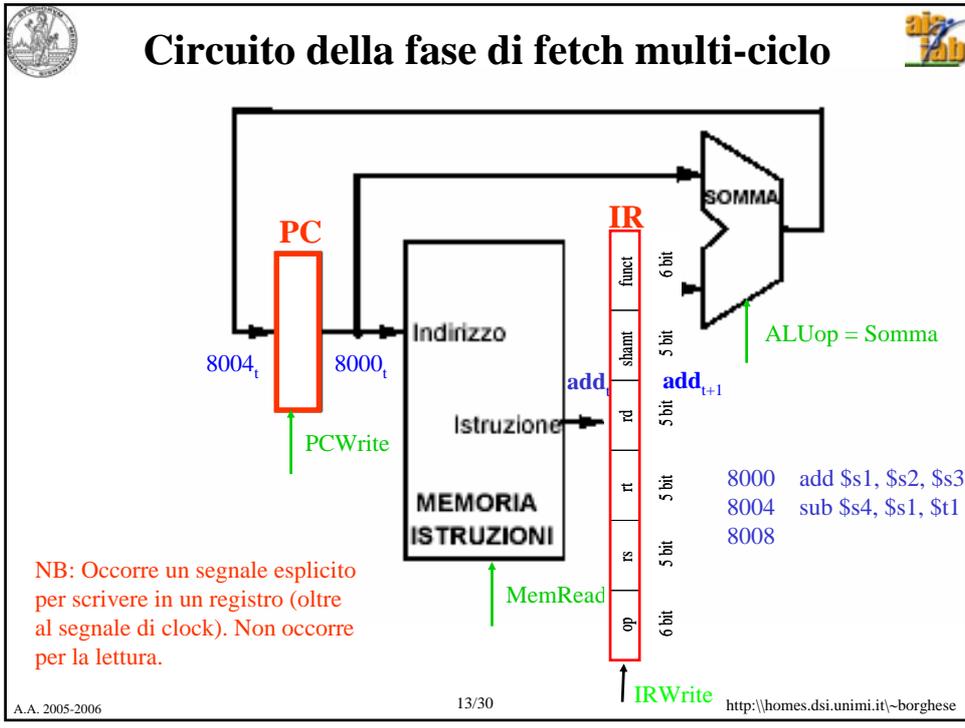
## Valutazione della prestazione della CPU multi-ciclo



Dipende dal programma.

	lw	sw	beq	j	R	fp (add)	fp (mul)	Durata Clock (max singolo ciclo)	Durata media
Durata	10ns	8ns	6ns	4ns	8ns	12ns	20ns		
Caso I	24%	12%	18%	2%	44%			9ns	8.0ns
Caso II	31%	21%	5%	2%	27%	7%	7%	20ns	9.56ns

A questo confronto va aggiunto che la CPU multi-ciclo consente ancora dei risparmi ulteriori nel tempo di esecuzione.





## Sommario



I problemi della UC a singolo ciclo di clock

Principi ispiratori di una CPU multi-ciclo. Le fasi di fetch e decodifica.

Esecuzione multi-ciclo delle istruzioni R

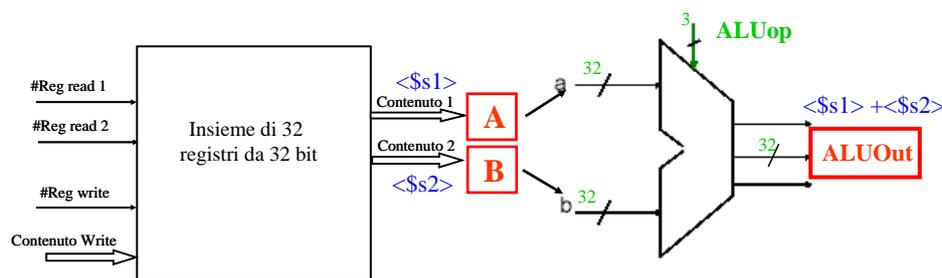
Esecuzione multi-ciclo delle istruzioni lw/sw.

Esecuzione multi-ciclo delle istruzioni di salto.

Analisi della CPU multi-ciclo.



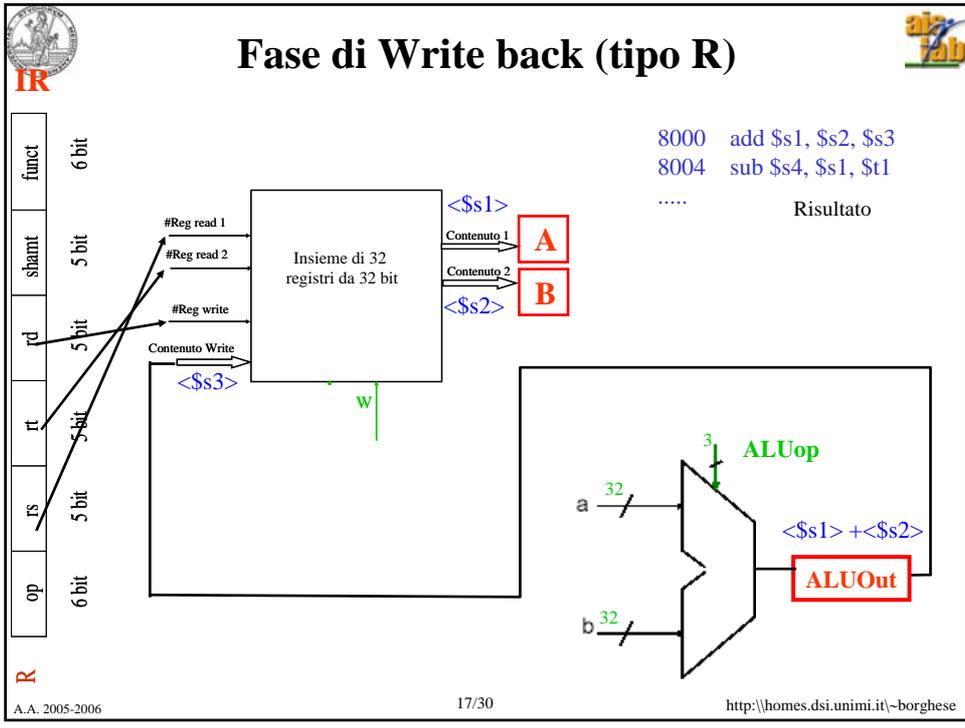
## Fase di calcolo (tipo R)



8000 add \$s1, \$s2, \$s3

8004 sub \$s4, \$s1, \$t1

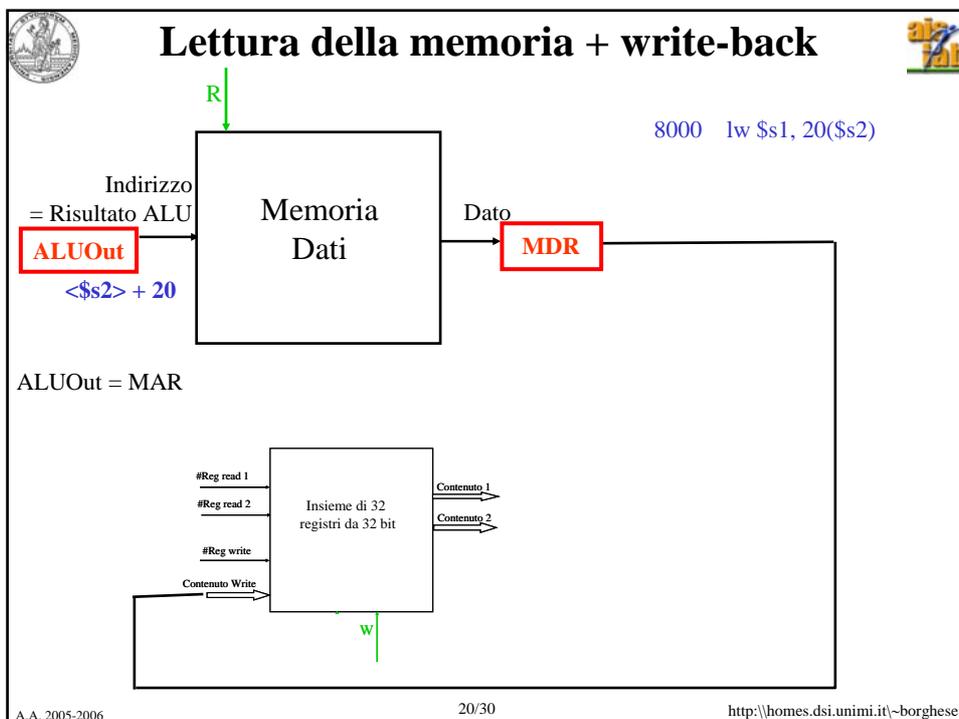
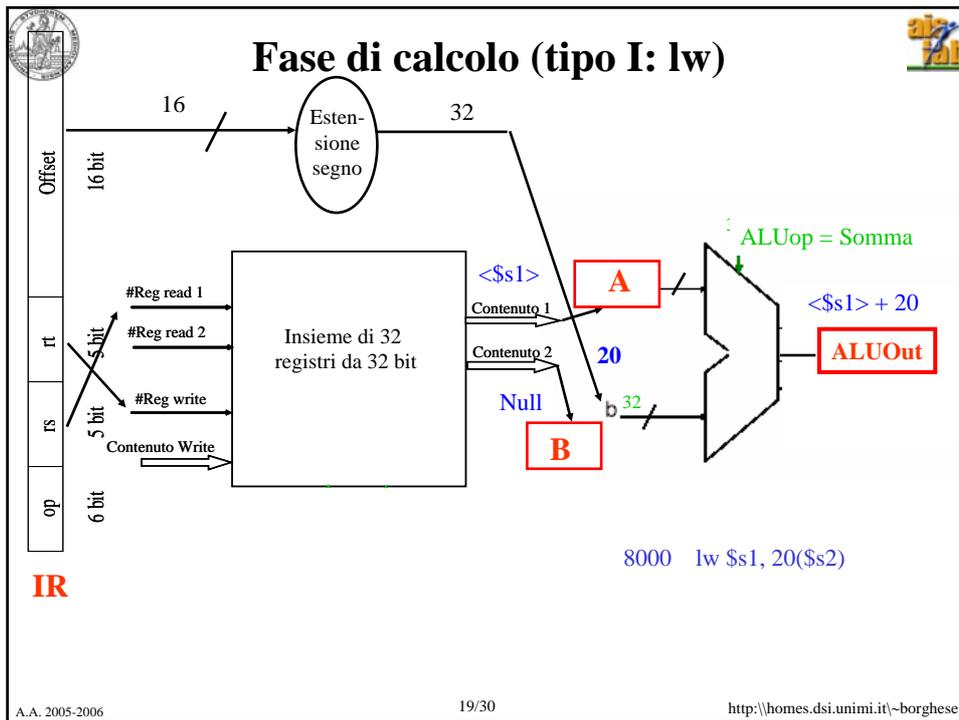
.....

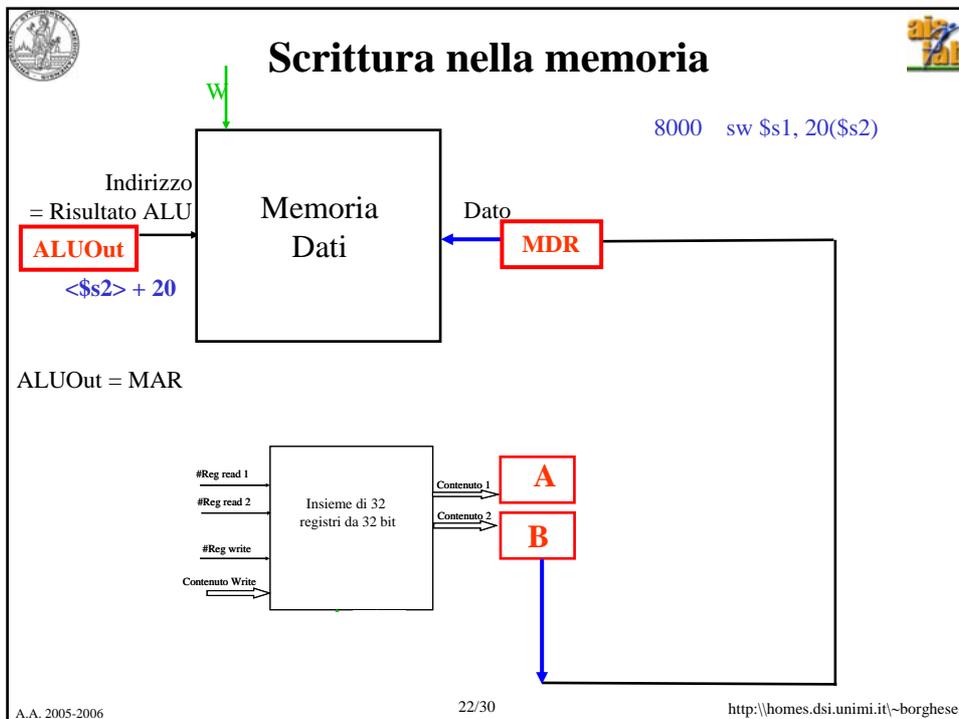
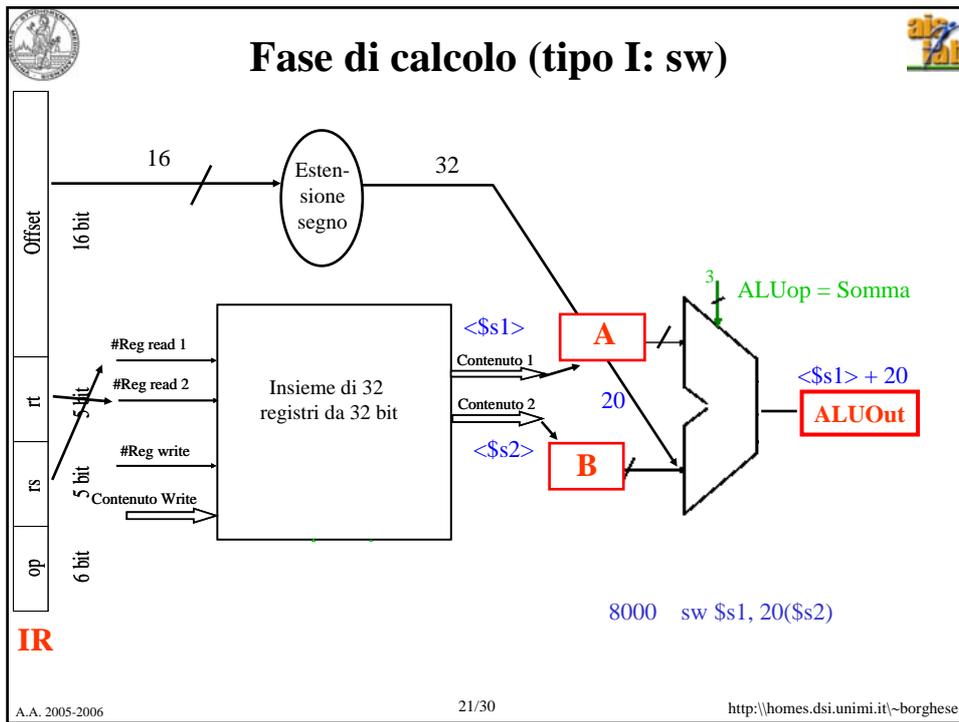


## Sommarario

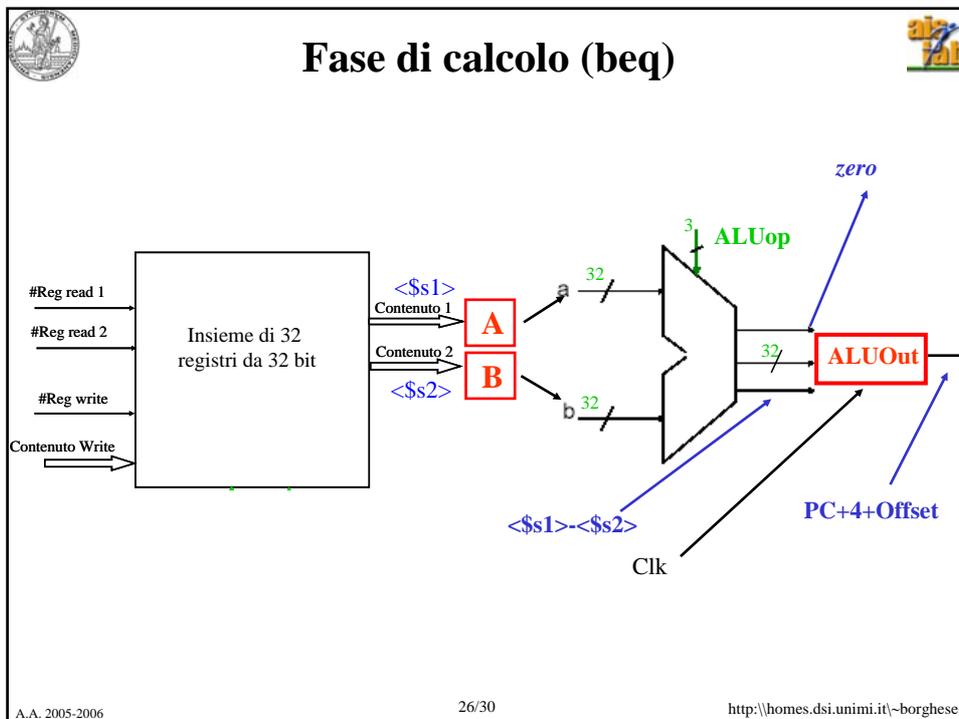
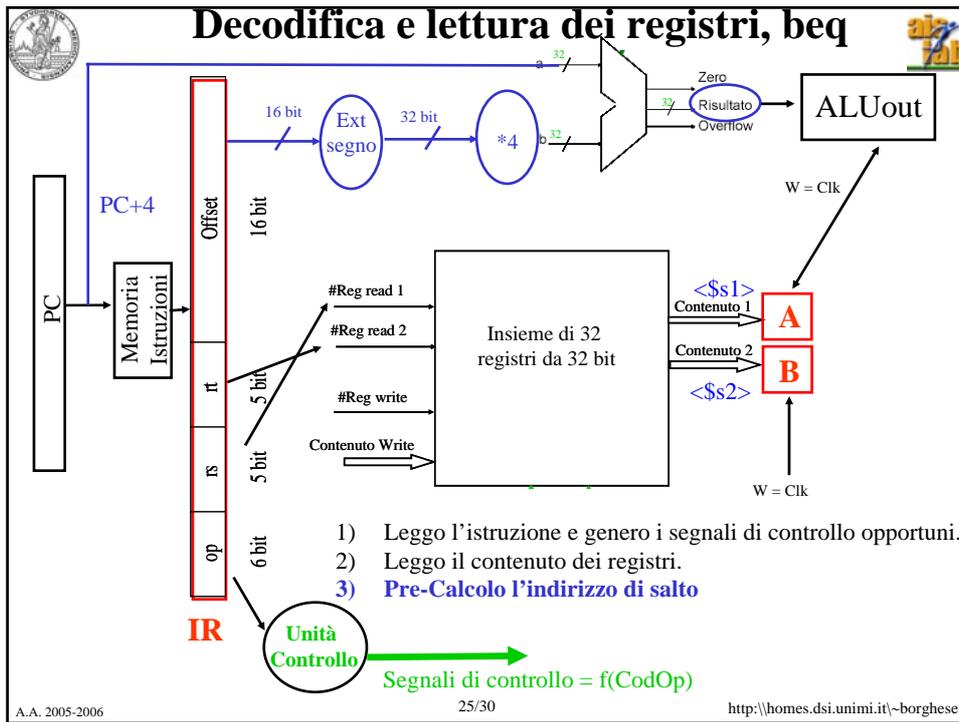
- I problemi della UC a singolo ciclo di clock
- Principi ispiratori di una CPU multi-ciclo. Le fasi di fetch e decodifica.
- Esecuzione multi-ciclo delle istruzioni R
- Esecuzione multi-ciclo delle istruzioni lw/sw.**
- Esecuzione multi-ciclo dei salti ed analisi della CPU multi-ciclo.

A.A. 2005-2006 18/30 http://homes.dsi.unimi.it/~borgnese



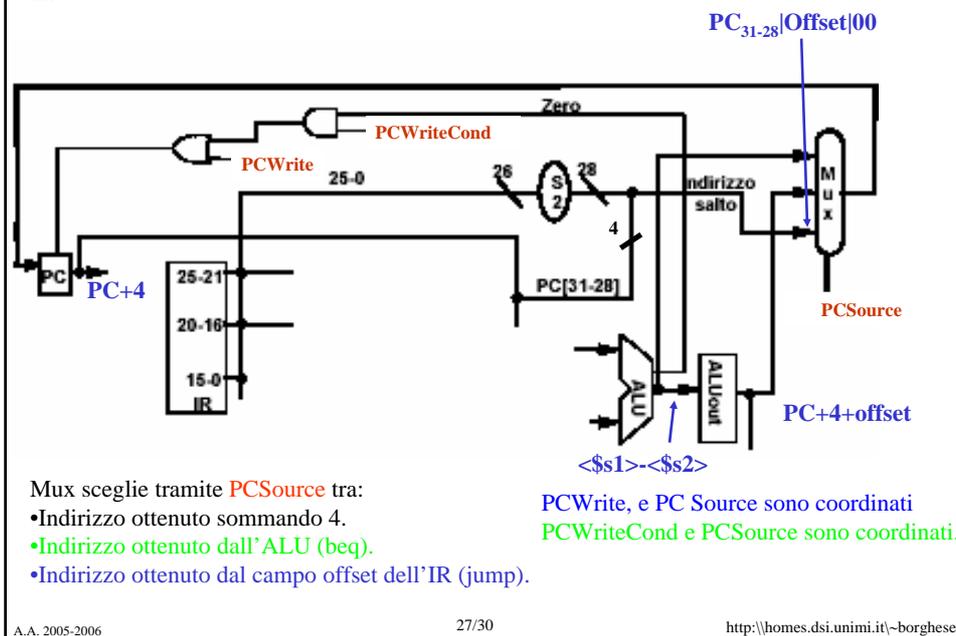








## CPU multi-ciclo: i salti



## Sommario



I problemi della UC a singolo ciclo di clock

Principi ispiratori di una CPU multi-ciclo. Le fasi di fetch e decodifica.

Esecuzione multi-ciclo delle istruzioni R

Esecuzione multi-ciclo delle istruzioni lw/sw.

Esecuzione multi-ciclo delle istruzioni di salto.

**Analisi della CPU multi-ciclo.**



## Confronto delle 2 CPU



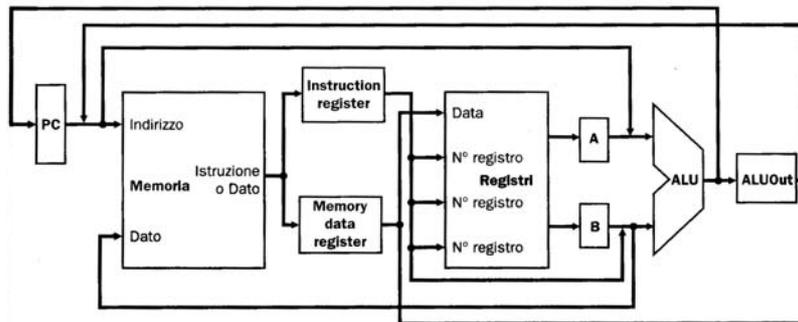
Due Memorie. Si possono compattare a patto di creare 2 registri. 1 registro istruzione (RI) ed un registro dati (MDR).

3 ALU. Si può utilizzare una unica ALU se viene utilizzata in 3 fasi diverse.

Fase 1: + 4.

Fase 2 Offset + rs (pre-calcolo l'indirizzo di salto).

Fase 3. Operazione di tipo R.



## Sommario



I problemi della UC a singolo ciclo di clock

Principi ispiratori di una CPU multi-ciclo. Le fasi di fetch e decodifica.

Esecuzione multi-ciclo delle istruzioni R

Esecuzione multi-ciclo delle istruzioni lw/sw.

Esecuzione multi-ciclo delle istruzioni di salto.

Analisi della CPU multi-ciclo.