



I flip-flop ed il register file

Prof. Alberto Borghese
Dipartimento di Scienze dell'Informazione
borgnese@dsi.unimi.it

Università degli Studi di Milano

Riferimento sul Patterson: Sezioni B.9 e B.11



Sommario

I problemi dei latch trasparenti sincroni

I bistabili DT

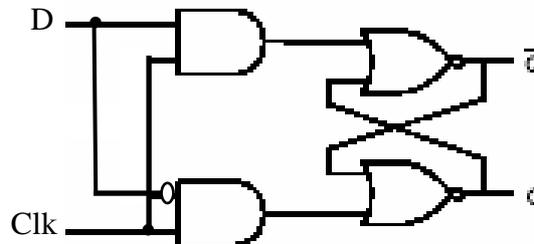
I registri ed il register file



I latch



I latch sono chiamati anche dispositivi trasparenti: quando il clock è alto, il valore di D viene riportato in uscita, $Q = D$.



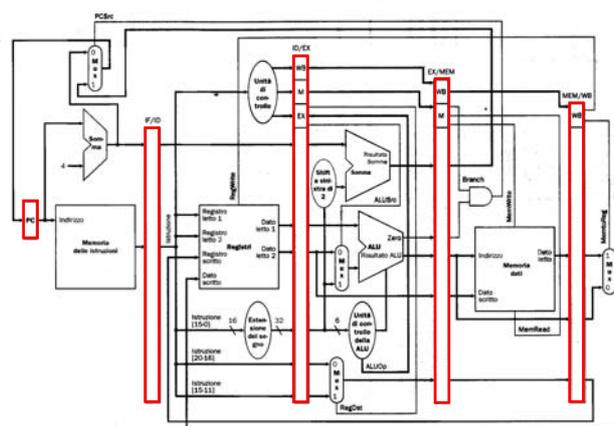
Per tutto il tempo in cui il clock è attivo, l'uscita è collegata all'ingresso D, dopo di che il "cancello" si chiude.

Il "cancello" è aperto per tutto un semiperiodo del clock.

Qual'è il problema? A noi interessa memorizzare l'informazione al termine di un (semi)periodo di clock.



Sincronizzazione CPU

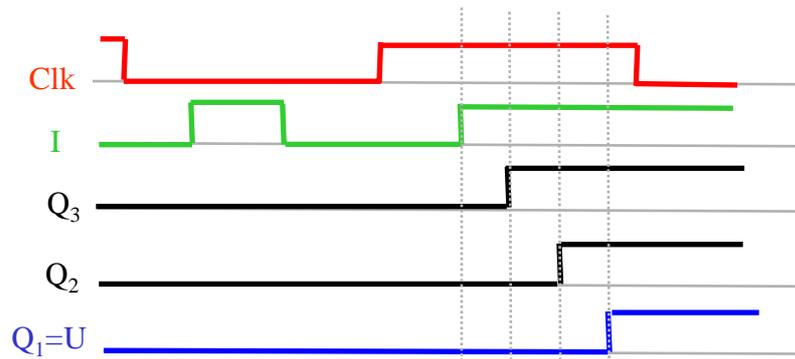
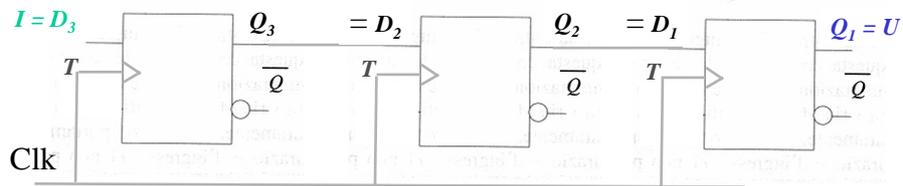


FF → Decod → Exec → R/W → WB

Il "cancello" viene inserito solamente in alcuni punti dell'architettura. In questi punti si sincronizza l'attività. Gangli di sincronizzazione.



Shift register con i latch (i problemi)



A.A. 2005-2006

7/32

$3\Delta\tau$ $3\Delta\tau$ $3\Delta\tau$

<http://homes.dsi.unimi.it/~borgnese>



Sommario



I problemi dei latch trasparenti sincroni

I flip-flop DT

I registri ed il register file

A.A. 2005-2006

8/32

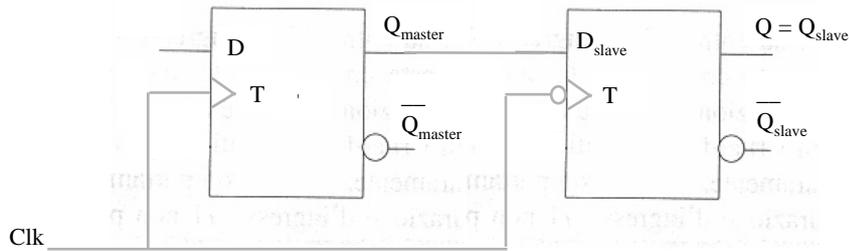
<http://homes.dsi.unimi.it/~borgnese>



Flip-flop



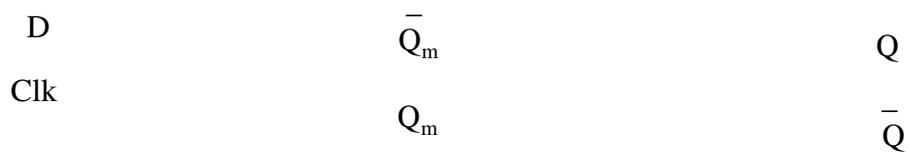
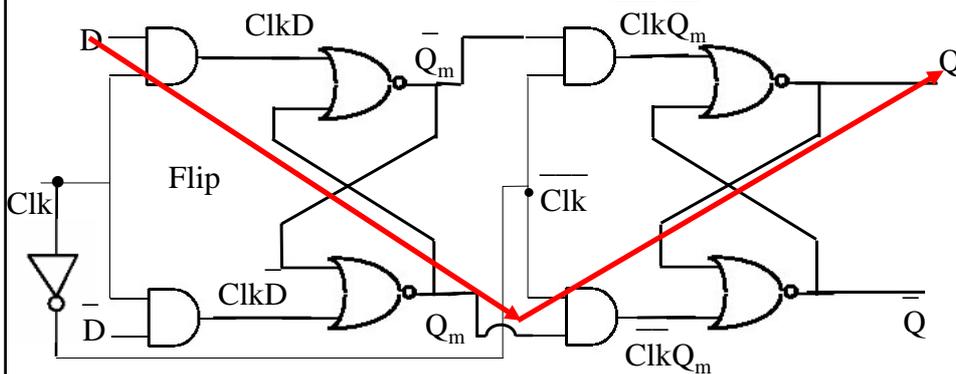
Dispositivi attivi sul fronte (di salita o discesa) del clock (edge sensitive): il loro stato (uscita) può commutare solo in corrispondenza della transizione alto->basso o basso->alto del clock.

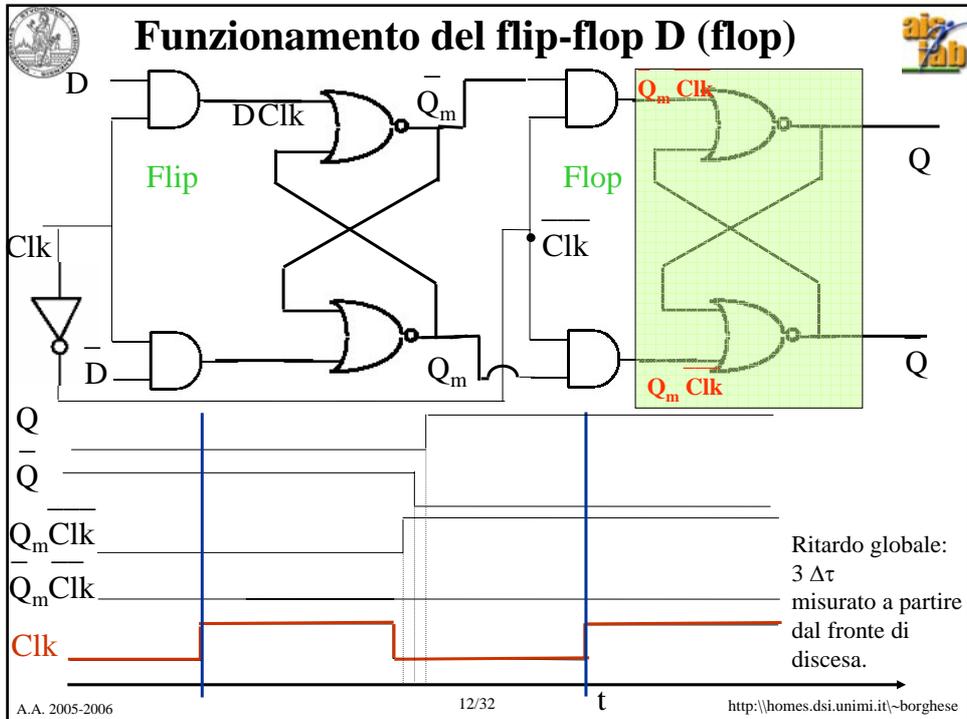
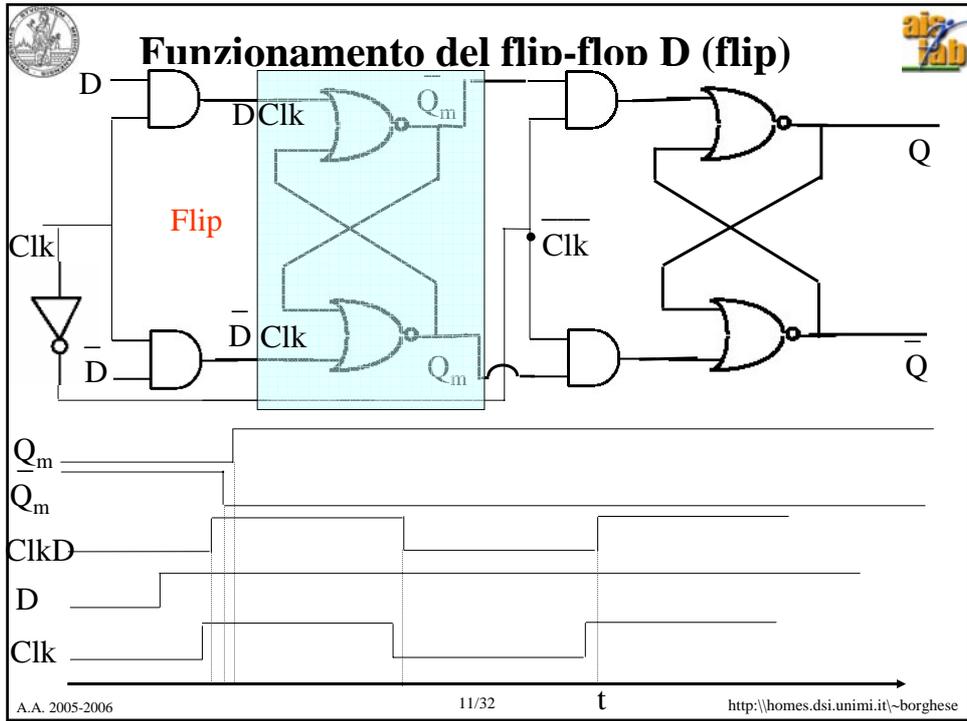


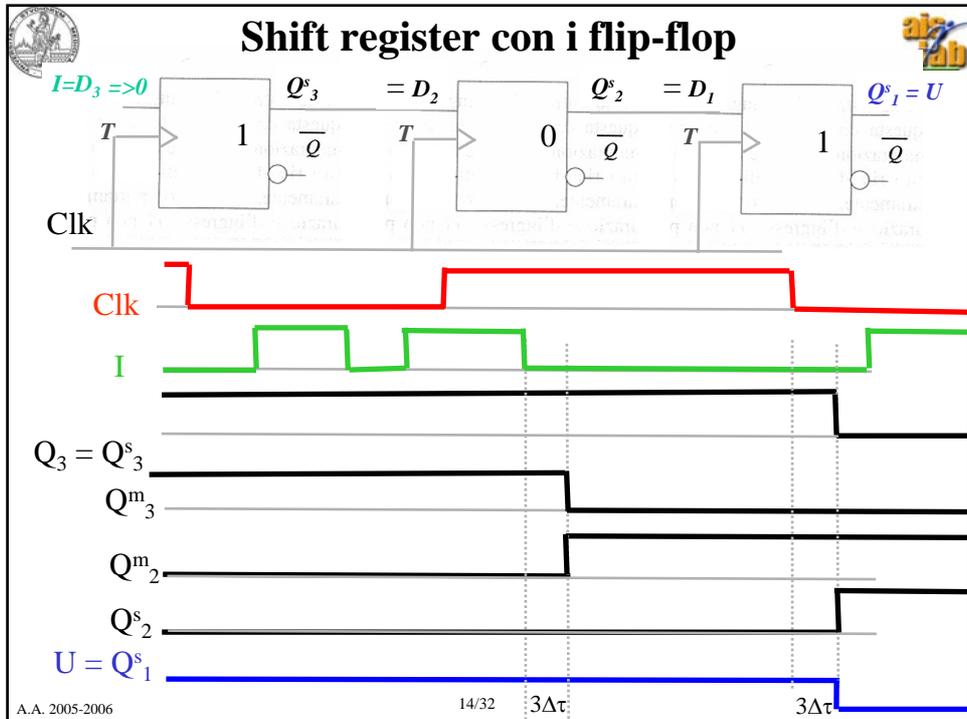
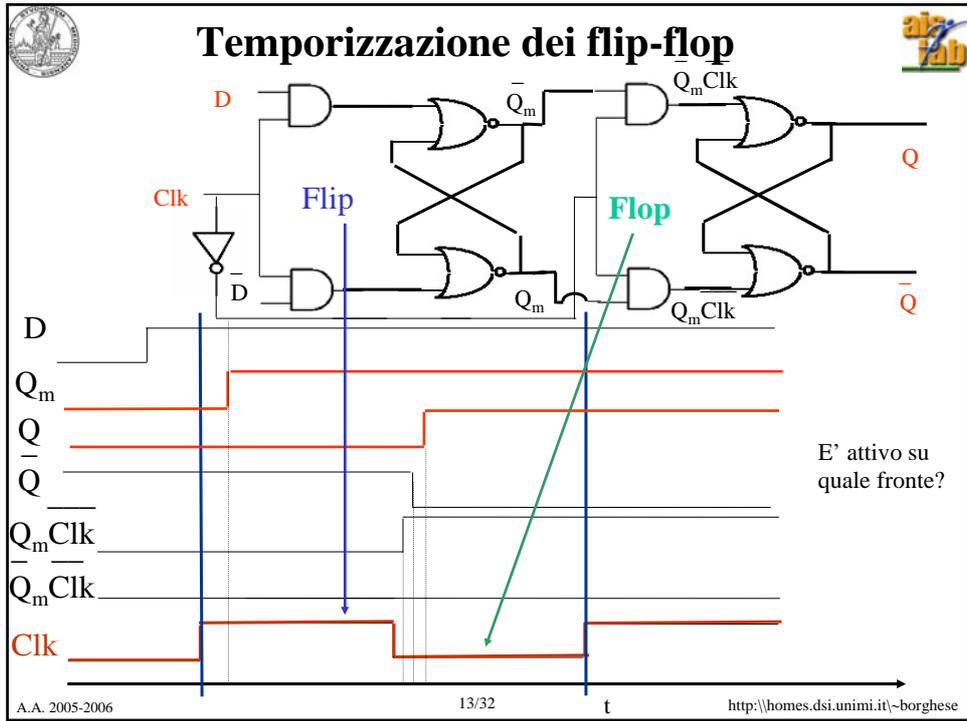
Configurazione Master-Slave



Funzionamento del flip-flop D

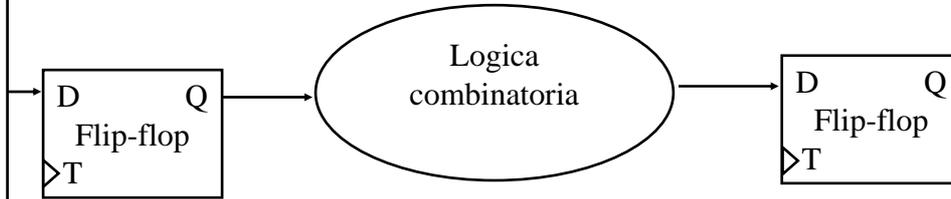








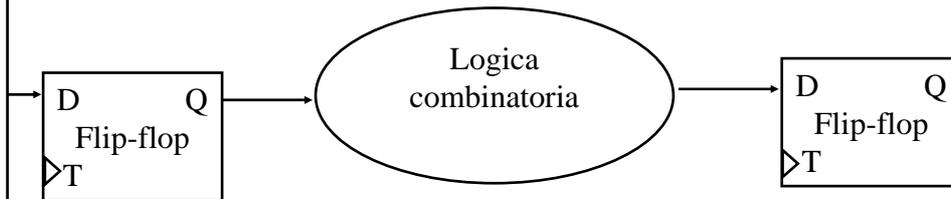
Struttura di un circuito sequenziale



Pone dei problemi di sincronizzazione: la logica combinatoria deve terminare la commutazione in tempo utile.



Temporizzazione di un circuito sequenziale



- La logica ha tempo sufficiente per completare la commutazione.
- Il periodo di clock è tale, per cui la commutazione del clock avviene dopo che la logica combinatoria ha terminato tutte le commutazioni.
- Il tempo necessario alla logica combinatoria per commutare è \leq tempo associato al cammino critico.
- Il clock arriva contemporaneamente a tutti i dispositivi sincronizzati.

Temporizzazione: problemi

L'input D deve essere stabile intorno alla commutazione del clock:

- **Tempo di set-up:** è il tempo minimo per cui deve rimanere stabile l'input D prima del fronte di clock.
- **Tempo di hold:** è il tempo minimo per cui deve rimanere stabile l'input D dopo il fronte di clock (solitamente trascurabile).
- **Tempo necessario per fare commutare l'uscita master di un flip-flop.**

A.A. 2005-2006 17/32 http://homes.dsi.unimi.it/~borgnese

Temporizzazione: Come si dimensiona il clock

$$T > k * (t_p + t_c + t_s + t_w)$$

Tempo di propagazione: è il tempo necessario per propagare il segnale nel flip-flop e quindi alla logica combinatoria (t_p).

Tempo di skew: ritardo massimo del clock (t_w).

A.A. 2005-2006 18/32 http://homes.dsi.unimi.it/~borgnese



I bistabili: riassunto



- Semplici elementi di memoria (1 bit)
- I latch possono essere asincroni o sincroni.
- La differenza tra latch e flip-flop sta nel fatto che nel primo, lo stato può cambiare (anche più volte) se il clock è alto, mentre nel secondo può cambiare solo su un fronte di clock (salita o discesa secondo l'implementazione).
- Differenti tipi (S-R, D, J-K, T, sincroni o asincroni,...)
- Differenti realizzazioni (con porte NOR, NAND,...)



Sommario



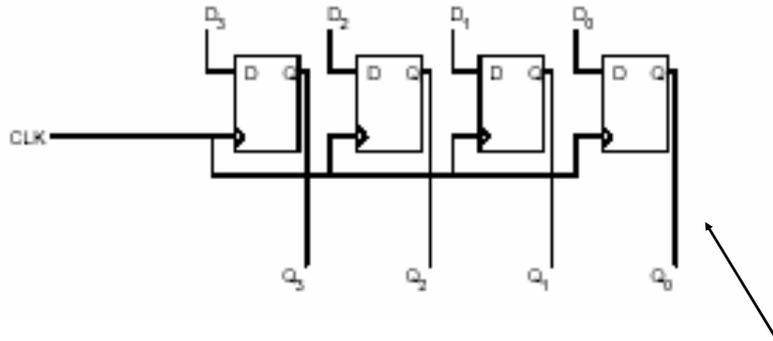
I problemi dei latch trasparenti sincroni

I bistabili DT

I registri ed il register file



Registri

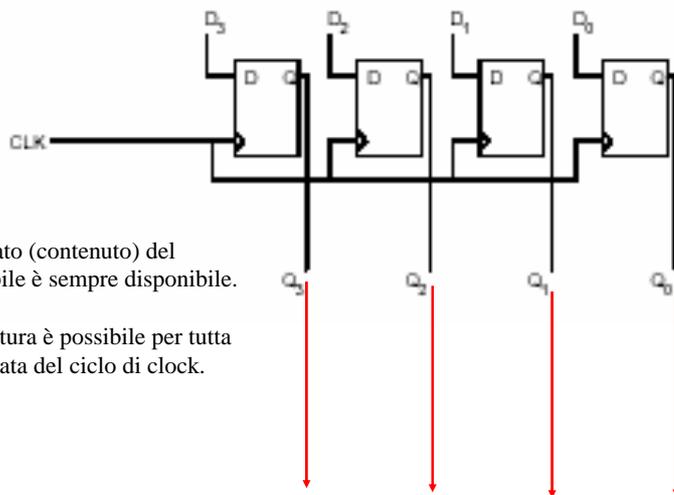


Un registro a 4 bit.
Memorizza 4 bit.

Latch di tipo D



Lettura di un registro



Lo stato (contenuto) del
bistabile è sempre disponibile.

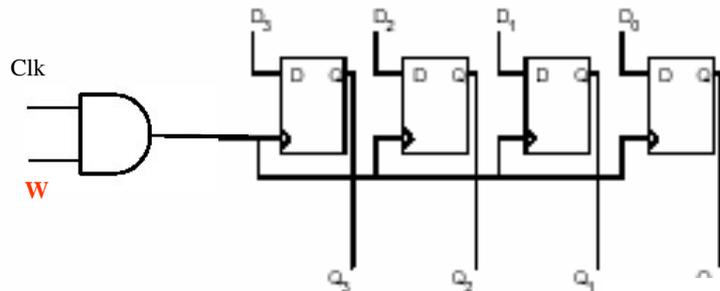
La lettura è possibile per tutta
la durata del ciclo di clock.



Scrittura di un registro



Ad ogni colpo di clock lo stato del registro assume il valore dell'ingresso dati.

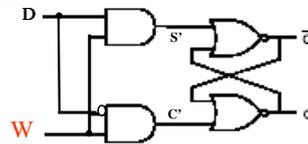


Cosa occorre modificare perchè il registro venga scritto quando serve?

Introdurre una sorta di *"apertura del cancello"*.

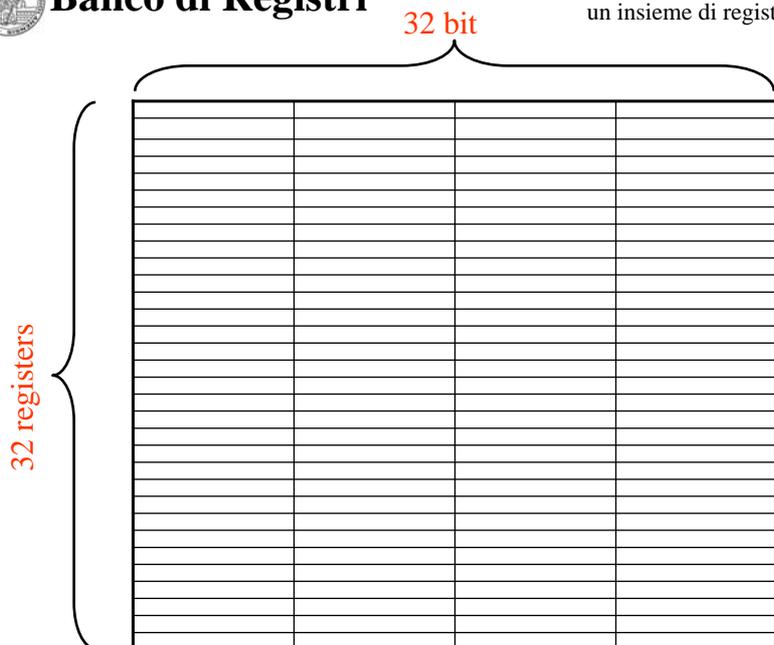
Può essere sincronizzata o meno con il clock.

Il clock apre la linea D del latch. Quando il segnale di Write è a zero, $S'=C'=0$ e lo stato non varia.



Banco di Registri

Struttura costituita da un insieme di registri

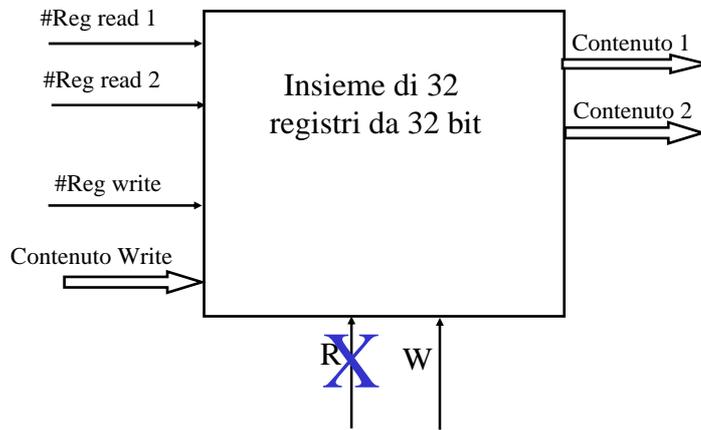




Register file



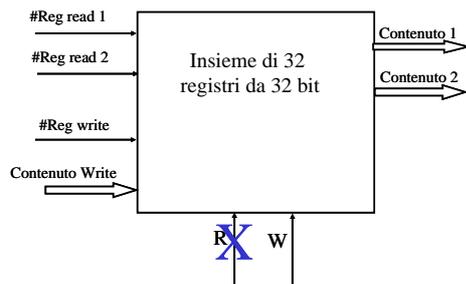
Banco di registri utilizzabile come memoria



Possono essere letti / scritti fornendo il numero del registro.



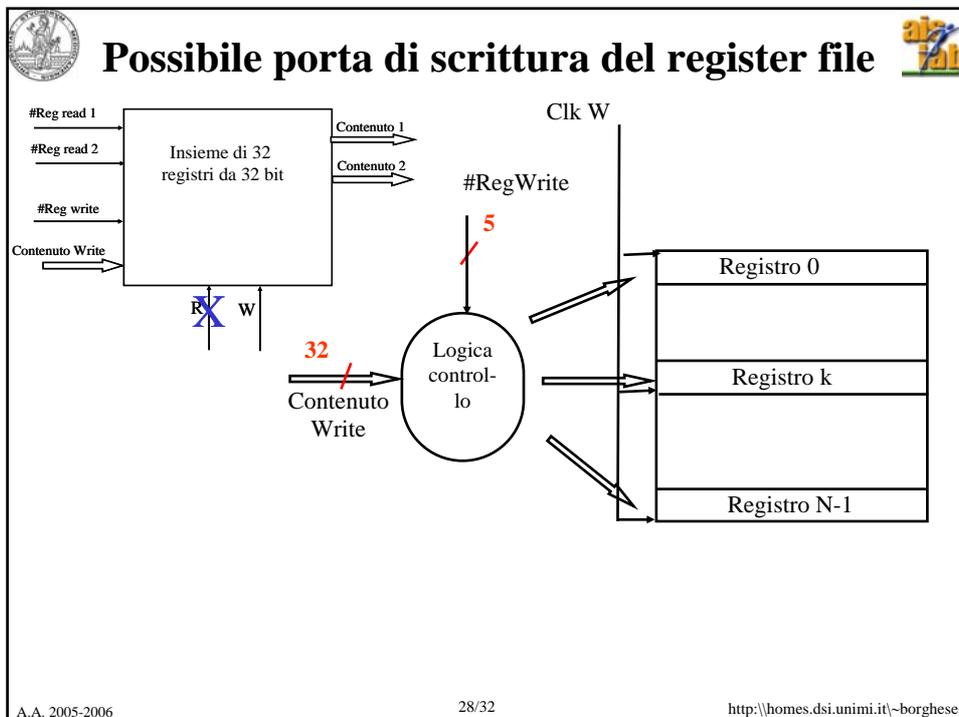
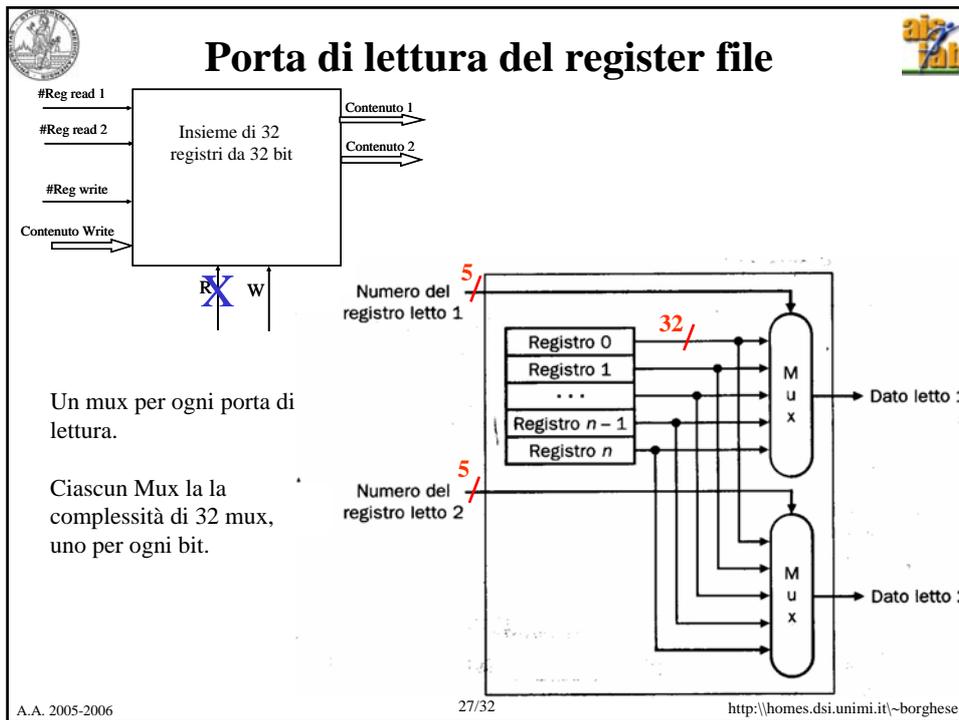
Gestione del register file



La lettura non modifica il contenuto di un registro (collego uscita Slave con il circuito combinatorio).

La scrittura invece richiede la modifica. Occorre il segnale W.

$$\#bit_indirizzamento = \log_2 \#bit$$



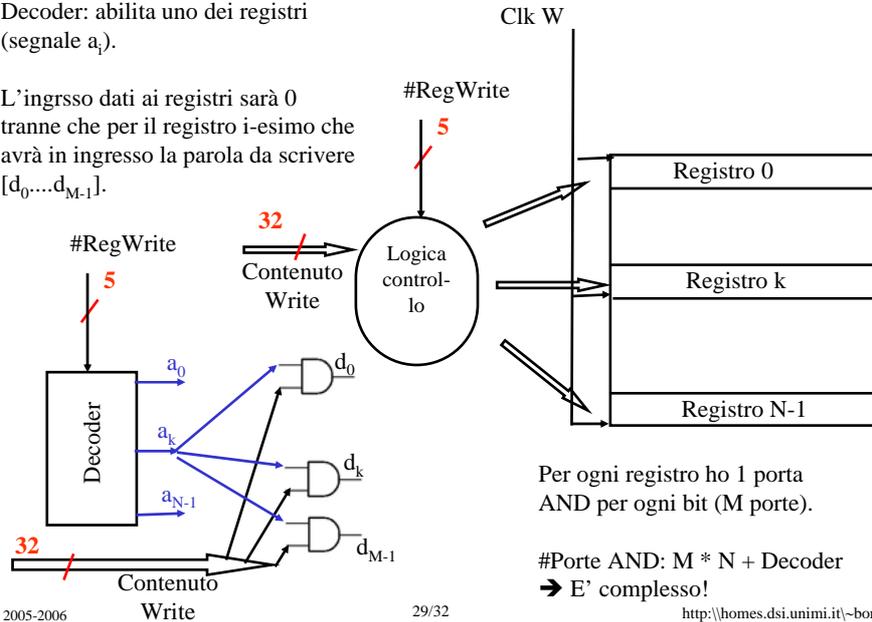


Logica controllo del circuito scrittura

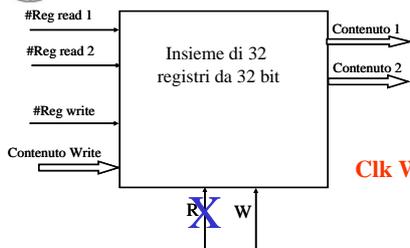


Decoder: abilita uno dei registri (segnale a_i).

L'ingresso dati ai registri sarà 0 tranne che per il registro i -esimo che avrà in ingresso la parola da scrivere $[d_0 \dots d_{M-1}]$.



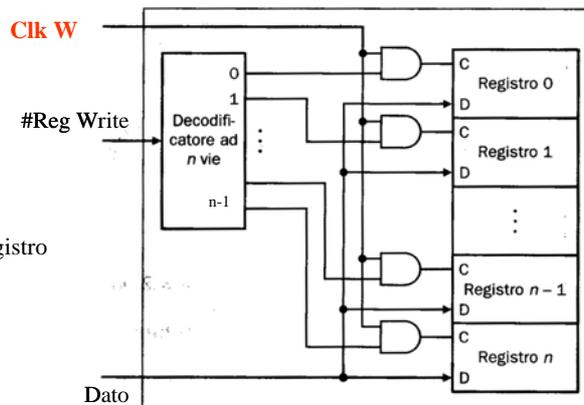
Porta di scrittura del register file



Ho ridotto drasticamente il numero di porte AND.

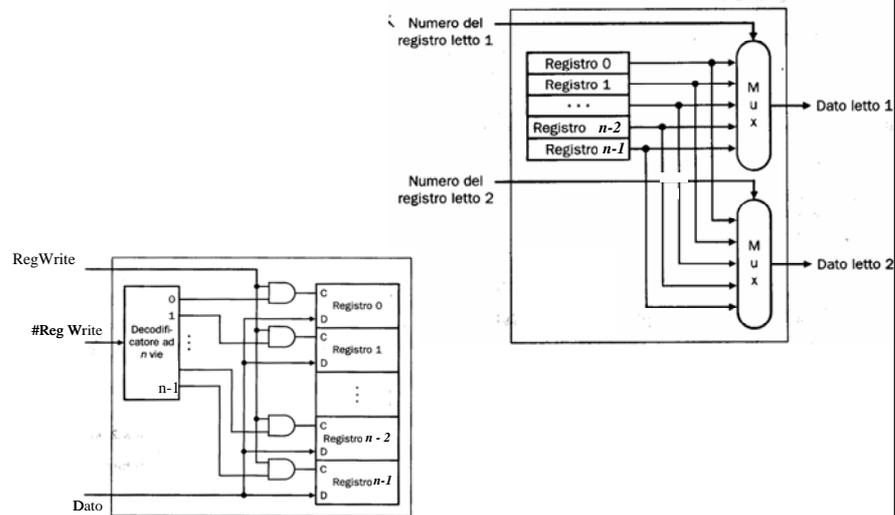
Ingresso C del latch dei registri:
 Decodificatore per indirizzare il registro
 AND
 Comando W

Ingresso D del latch dei registri:
 Bit dato corrispondente.





Register file



Sommario



I problemi dei latch trasparenti sincroni

I bistabili DT

I registri ed il register file