

Cognome e nome dello studente:

Matricola:

Anno di corso:

A.A. 2005-2006 – Quarta prova in itinere – 12 Giugno 2006

[11] Disegnate una cache per architettura MIPS, a 4 vie di 256Byte, e linee di 4 parole (per ciascun banco). . Supponiamo che l'indirizzamento della memoria principale sia su 32 bit. Disegnare il circuito di scrittura della cache. Definire cosa rappresenta il campo TAG e dimensionarlo. Supponiamo che all'inizio i bit di validità siano tutti a 0. Definire cosa succede in corrispondenza di questo frammento di codice (se si verifica una miss, una hit e dove vengono scritti / letti i dati della cache, quale indirizzo e quale tag vengono associati ad ogni istruzione):

```
sw $t0, 20($zero)
lw $t0, 64($zero)
lw $t0, 60($zero)
sw $t0, 56($zero)
sw $t0, 0($zero)
lw $t0, 20($zero)
lw $t0, 64($zero)
lw $t0, 128($zero)
```

[14] Domende:

Cosa si intende per write through e write back? [1]

Definire i criteri di progettazione della cache primaria e secondaria [2]

Cosa sono i segnali RAS e CAS? Disegnare la struttura di DRAM sincrona di 1Kbyte. Dimensionare gli elementi [4].

Cos'è il refresh della memoria? Si applica alle memorie SRAM? E alle memorie DRAM? Motivare le risposte [1]

Cosa si intende per codice di controllo degli errori? Come funziona il codice di parità? Disegnare un possibile circuito di controllo degli errori ed un circuito di correzione degli stessi [4].

Cosa si intende per Mflop? Cos'è un kernel benchmark? Perché si utilizzano i benchmark? [1]

Descrivere la struttura di un disco magnetico. Quali sono i tempi che compongono il tempo di accesso? [1]

[3] Descrivere lo schema dell'architettura dei bus di una architettura Intel recente. Descrivere le principali caratteristiche dei bus sincroni ed asincroni e una possibile modalità di handshaking nella comunicazione su bus asincrono. Descrivere il ruolo dei bridge.

[3] Cosa si intende per arbitraggio? Cosa si arbitra e chi arbitra? Descrivere un protocollo di arbitraggio su bus a scelta.

[5] Data un programma con il seguente MIX di istruzioni: accesso a memoria (30%), Branch (15%), Operazioni (50%), Jump (5%). Suppondo che i tempi di esecuzione delle istruzioni appartenenti alle quattro diverse classi sia rispettivamente: 10ms, 6ms, 8ms, 2ms definire qual'è l'aumento di prestazioni che si ottiene se:

a) la velocità di esecuzione delle operazioni viene triplicata.

b) la velocità di esecuzione delle branch (tenuto conto delle criticità) viene dimezzata.

c) la velocità di esecuzione delle istruzioni di accesso a memoria viene quadruplicata.

Definire il massimo incremento di prestazioni possibile (asintotico) per un miglioramento dell'esecuzione delle istruzioni appartenenti alla classe delle istruzioni di accesso a memoria.

d) enunciare la legge di Amdhal.