

I bus

Prof. Alberto Borghese
Dipartimento di Scienze dell'Informazione
borgnese@dsi.unimi.it

Università degli Studi di Milano



Sommario

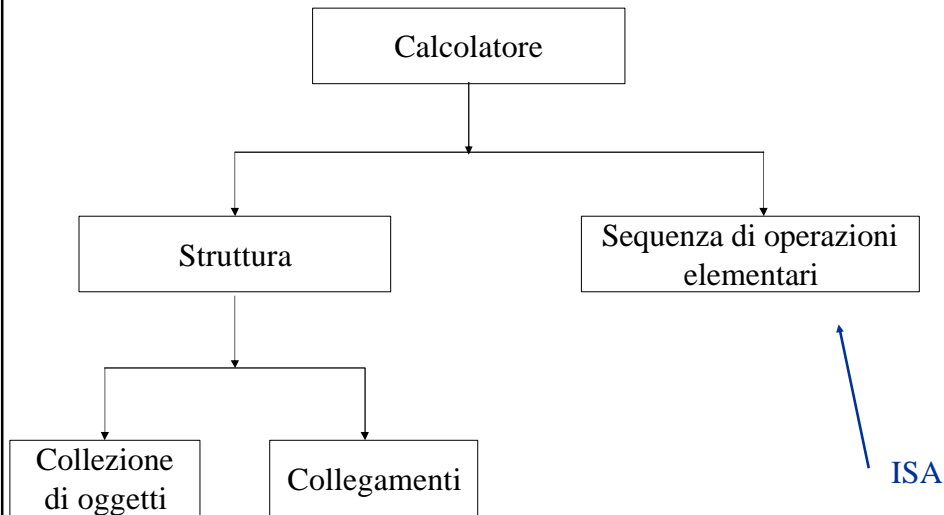
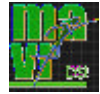
Il bus ed il protocollo di trasferimento

Tipologie di bus

La gestione dell'I/O



Descrizione di un elaboratore



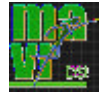
Dispositivi di I/O - esempi



Dispositivo	Comportamento	Partner	Tasso dati (KB/sec)
Tastiera	Input	Umano	0.01
Mouse	Input	Umano	0.02
Stampante laser	Output	Umano	100.00
Floppy disk	Memoria	Macchina	50.00
Disco ottico	Memoria	Macchina	500.00
Disco magnetico	Memoria	Macchina	10,000.00
Rete-LAN	Input o Output	Macchina	20 – 1,000.00
Video grafico (AGP)	Output	Umano	100,000.00



I/O



Dispositivi eterogenei per:

velocità di trasferimento.

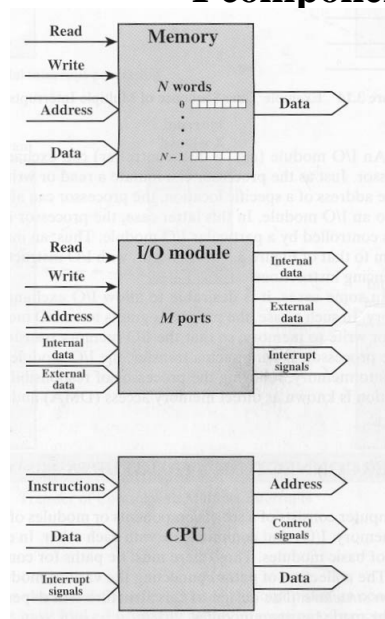
latenze.

sincronismi.

modalità di interazione (con l'uomo o con una macchina)



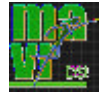
I componenti



Occorre definire la struttura delle interconnessioni (i collegamenti)



Collegamenti richiesti



Memoria → Processore
Processore → Memoria

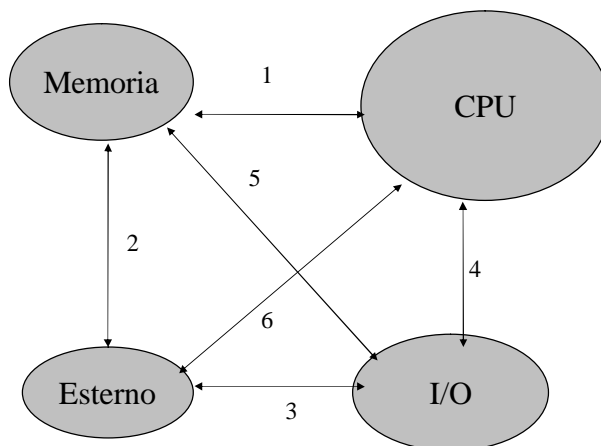
Processore → I/O
I/O → Processore

I/O → Memoria ← Direct Memory Access
Memoria → I/O

I/O → Esterno
Esterno → I/O



Collegamento tra le unità

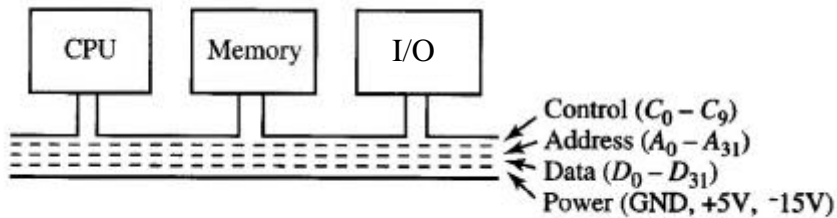
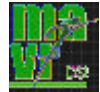


Connessione di tutti i dispositivi con tutti.

- $N * (N-1)$ connessioni bidirezionali (difficili da controllare).
- Non c'è questa necessità.



Il bus (connessione a nodo comune)



Pathway che connette tutti i dispositivi in modo bidirezionale (a partire dal PDP-8, omnibus, 1965).

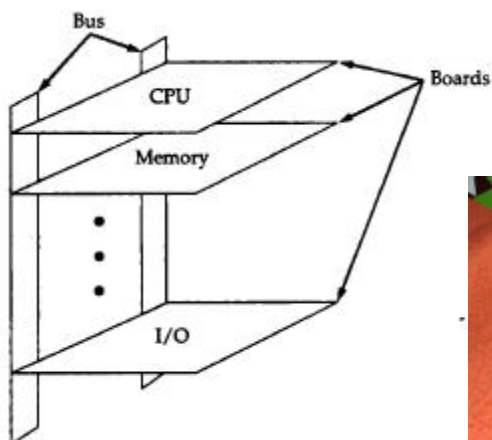
Principali vantaggi della struttura a bus singolo:

- elevata flessibilità
- bassi costi.
- Problema: i dispositivi non possono trasmettere contemporaneamente.

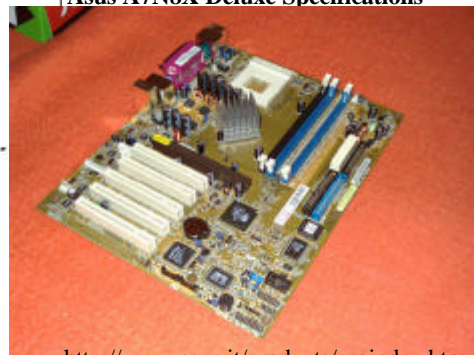
Le architetture contengono uno o più bus che collegano questi tre componenti.



Struttura fisica del bus (frontside bus)



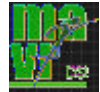
Asus A7N8X Deluxe Specifications



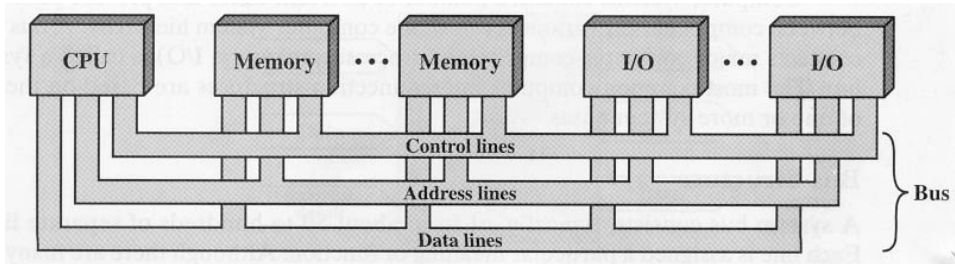
<http://www.asus.it/products/proindex.htm>



La struttura del bus



3 gruppi funzionali: dati, indirizzi e segnali di controllo.



Data lines: ampiezza del bus = ampiezza della parola dati.

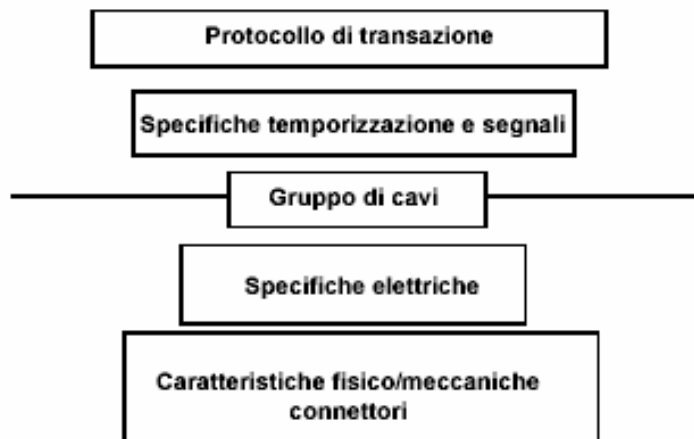
Address lines: capacità di indirizzamento (memoria principale + I/O).

Control lines: comandi e stato dei dispositivi.

Problema: quale dispositivo può trasferire sul bus in caso di richieste multiple? Chi decide?



Caratteristiche di un bus





Arbitraggio del bus



Protocollo La comunicazione su bus deve essere regolata attraverso un **protocollo di comunicazione**.

Viene introdotto il concetto di **bus master (padrone del bus)**, il cui scopo è quello di controllare l'accesso al bus.

L'architettura più semplice è quella che prevede un unico bus master (il processore) in cui tutte le comunicazioni vengono mediate dal processore stesso.

Questo può creare un collo di bottiglia. Ad esempio nel caso di trasferimento di dati da I/O a memoria.

Si utilizza allora un'architettura con più dispositivi master.

In questo caso occorre definire e rispettare una policy che coordini i vari dispositivi bus master. Questa policy si chiama di **arbitraggio** del bus. Un solo dispositivo alla volta può essere master, tutti gli altri ascoltano.

Questo è il principale inconveniente dei bus a nodo comune.



Protocollo di arbitraggio



Occorre stabilire quale master autorizzare all'utilizzo del bus.

Ad ogni dispositivo viene assegnata una *priorità*.

Il dispositivo a priorità maggiore può accedere prima al bus.

Meccanismo di accesso al bus diventa:

1. Richiesta del bus (*bus request*)
2. Assegnamento del bus (*bus grant*)

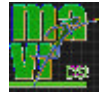
Problema è assicurare una *fairness*.

Compromesso tra *fairness* e *priorità*.

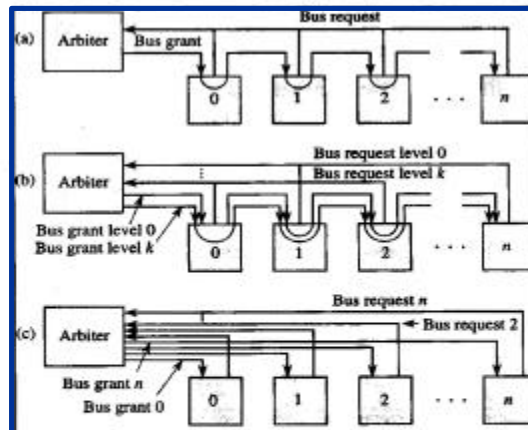
Un arbitro si preoccupa quindi di gestire *bus request* e *bus grant*.



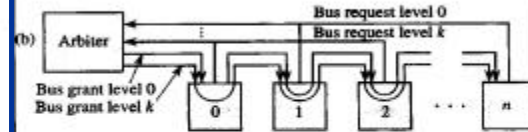
Schemi di arbitraggio centralizzati



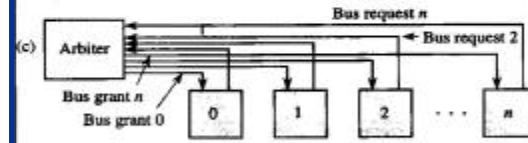
Arbitraggio
In Daisy Chain



Arbitraggio
Centralizzato
Con priorità



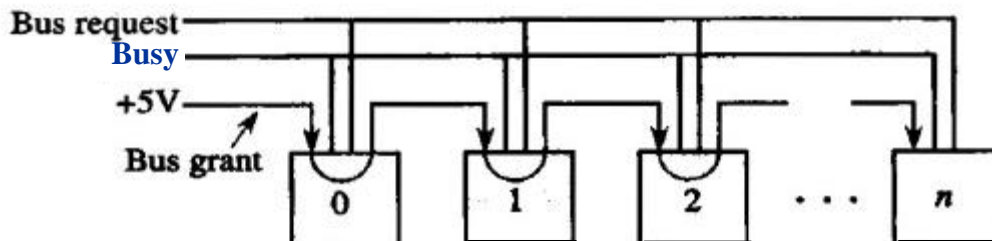
Arbitraggio
Centralizzato
Parallelo



- Arbitraggio centralizzato parallelo non scala con il numero di dispositivi.
- Nell'arbitraggio centralizzato con priorità, un dispositivo elabora un solo segnale di grant, gli altri segnali di grant vengono fatti passare inalterati.



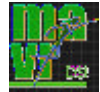
Arbitraggio distribuito in Daisy Chain



Viene introdotto il segnale di Busy.



Arbitraggio distribuito con autoselezione



In questo schema un dispositivo che vuole prendere il controllo del bus, deve:

- 1) Inviare il segnale di richiesta del bus.
- 2) Scrivere sul bus il codice che lo identifica.
- 3) Controllare se il bus è libero.
- 4) Se il bus non è occupato ma ci sono richieste contemporanee di bus, controllare il codice dei dispositivi che hanno fatto richiesta.
- 5) Occupare il bus se è libero o i dispositivi hanno priorità minore: inviare 0 sulla linea di bus grant ai dispositivi successivi, asserisce la linea di busy (il bus è occupato), altrimenti non fare nulla. *Ciascun dispositivo è arbitro.*
- 6) Deasserire la richiesta del bus.

Problema: **rilevamento delle collisioni**. Occorre prevedere un segnale di ricevuto.



Sommario



Il bus ed il protocollo di trasferimento

Tipologie di bus

La gestione dell'I/O



Tipologie di bus



- Esistono due schemi principali di comunicazione su di un bus:
 - ◆ Sincrono
 - ◆ Asincrono
- Tre tipi principali:
 - ◆ **processor-memory (cache)**: lunghezza ridotta, molto veloci.
 - ◆ **I/O**: notevole lunghezza, molti device connessi.
 - ◆ **backplane**: servono per far coesistere la memoria, il processore e i dispositivi di I/O su di un unico bus.

I bus sono organizzati in una struttura gerarchica.



Bus sincroni

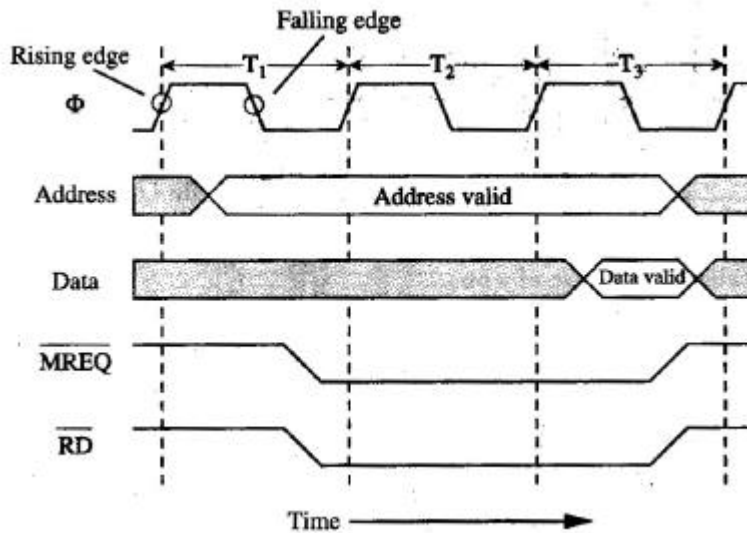
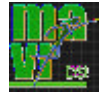


- La linea di controllo è dotata di un segnale di sincronizzazione (**bus clock**) ed esiste un protocollo di comunicazione scandito dai cicli di clock (in generale diverso (ma sincronizzato) da quello della CPU).
- Questo tipo di protocollo permette di ottenere bus molto veloci.
- *Svantaggi*:
 - ◆ Ogni device deve essere sincronizzato.
 - ◆ Lunghezza limitata (per evitare che i ritardi nei fronti dovuti alla propagazione producano disallineamenti).
 - ◆ Tutti i dispositivi devono potere lavorare alla frequenza imposta dal bus clock.
- I bus processor-memory sono spesso sincroni in quanto:
 - ◆ hanno dimensioni ridotte.
 - ◆ hanno pochi elementi connessi.

Ciclo di bus (*bus cycle*): numero di cicli per effettuare una transazione: tipicamente da 2 a 5 cicli di bus clock.



Bus sincroni: esempio



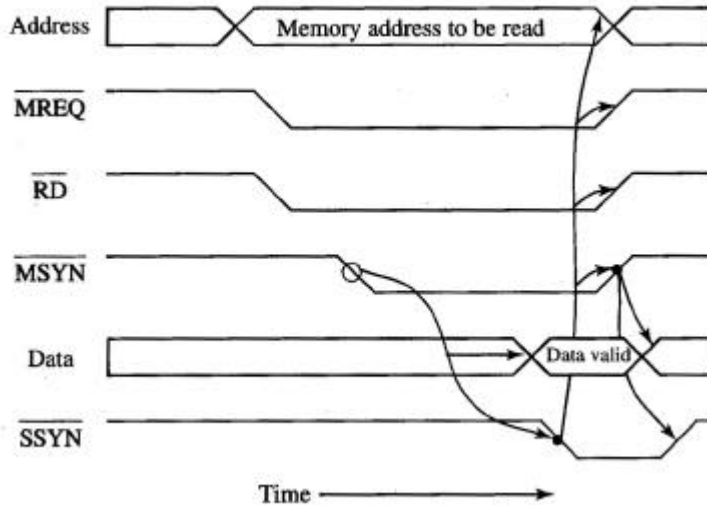
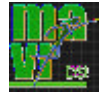
Bus asincroni



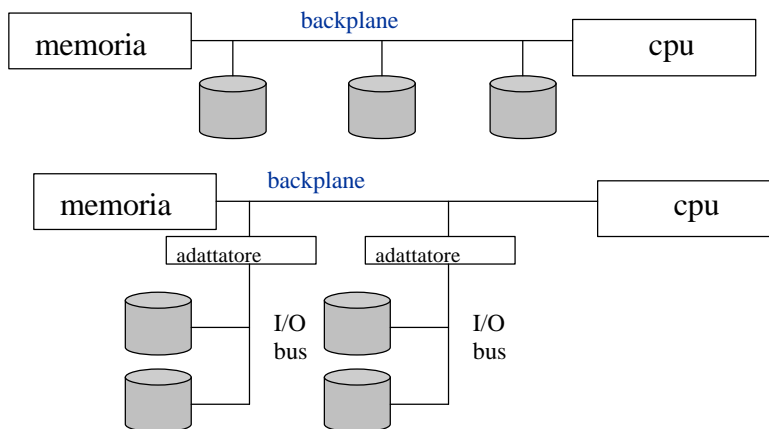
- Un bus asincrono **non** è dotato di clock.
- La comunicazione tra due parti avviene mediante un protocollo di **handshaking**.
(!MSYN) -> Job -> (!SSYN) -> (MSYN) -> (SSYN)
- I bus asincroni possono avere lunghezza elevata per connettere molti dispositivi.
- Sono efficienti quando i tempi di esecuzione delle varie periferiche variano molto tra loro.
- Spesso i bus di I/O sono asincroni.



Bus asincroni: esempio

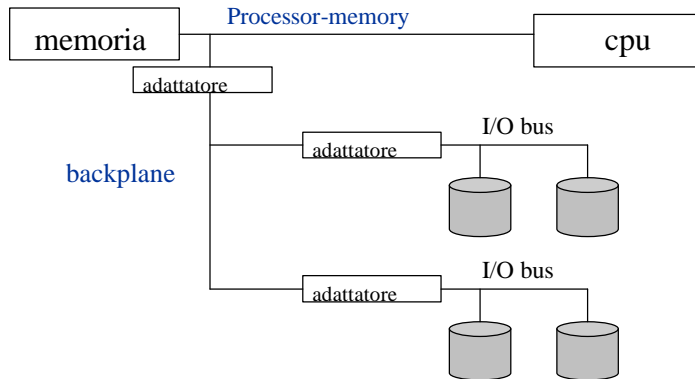


Tipologie di bus





Il bus CPU-Memoria



Gli adattatori sono dispositivi attivi – bridges.



Esempio – Pentium II



Bus processore-memoria (cache)
(backside bus)

Bus di sistema (processore-Memoria Principale)
(frontside bus)

Bus di backplane

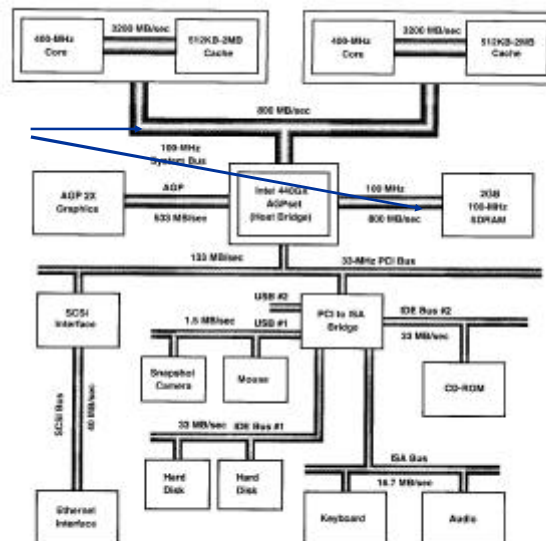


Figure E-7 Bridging with dual Pentium II Xeon processors on Slot 2.
(Source: <http://www.intel.com>)



I bus



Caratteristica	PCI	Firewire (IEEE 1394)	SCSI
Tipo di bus	Back-plane	Backplane & I/O (peer-to-peer)	I/O
Ampiezza di base del bus (numero di segnali per i dati)	32-64	Seriale	8-32
Numero di dispositivi master	molti	molti	molti
Temporizzazione	Sincrono 33-66Mhz	Asincrono o sincrono	Asincrono o sincrono (5-20Mhz)
Ampiezza di banda di picco teorica	133-512MB/s (PCI64)	266MB/s (IEEE 1394b)	5-40MB/s
Ampiezza di banda stimata raggiungibile per bus di base	80MB/s	10-100MB/s	2,5-40MB/s
Massimo numero di dispositivi	1024 (32 dispositivi per segmento)	63	7-31
Massima lunghezza del bus	0,5 metri	0,5 metri (sincrono)	25 metri
Nome dello standard	PCI	IEEE 1394	ANSI X3.131



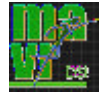
Il bus: Riassunto



- Esempio: operazione di lettura dalla memoria. La *CPU* fornisce l'indirizzo della parola desiderata sul bus indirizzi, quindi viene richiesta l'operazione di lettura attivando il bus di controllo. Quando la memoria ha completato la lettura della parola richiesta, il dato viene trasferito sul bus dati e la *CPU* può prelevarlo ed utilizzarlo nelle sue elaborazioni.
- La struttura del bus può essere realizzata secondo diverse topologie di interconnessione.
- Il bus può essere utilizzato per un solo trasferimento alla volta \Rightarrow in ogni istante soltanto due unità (*Master e Slave*) possono usare il bus.
- Nelle architetture di riferimento l'unità Master è solitamente la CPU. Esistono alcune schede di I/O particolarmente performanti che possono diventare anch'esse bus-master.
- Le linee di controllo del bus vengono utilizzate per inviare più richieste contemporanee di utilizzo del bus che vengono gestite dalla logica di *arbitraggio* del bus.



Sommario



Il bus ed il protocollo di trasferimento

Tipologie di bus

La gestione dell'I/O



I/O



Dispositivi eterogenei per:

velocità di trasferimento.

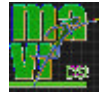
latenze.

sincronismi.

modalità di interazione (con l'uomo o con una macchina)



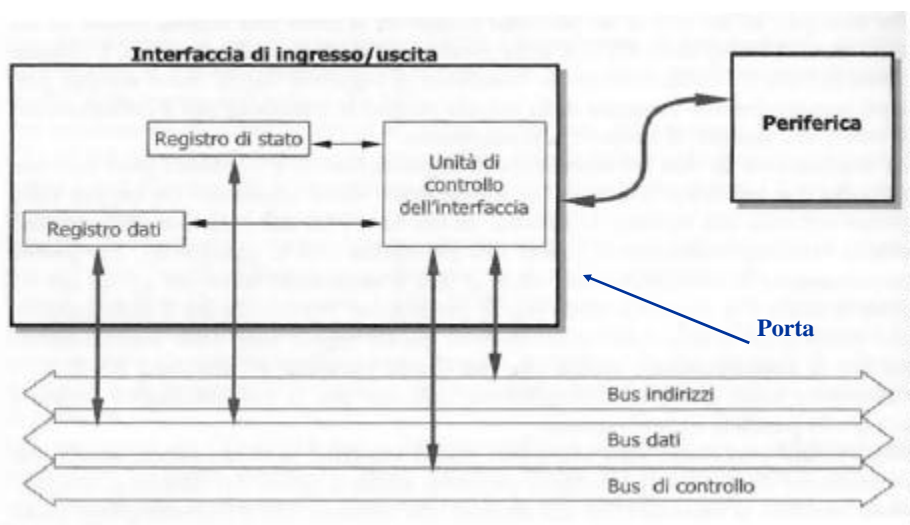
Bus di sistema & buffer



- I dispositivi sono collegati al bus tramite **porte**.
- I dispositivi collegati al bus variano in termini di velocità dell'esecuzione delle operazioni ⇒ necessario un meccanismo di sincronizzazione per garantire il trasferimento efficiente delle informazioni sul bus.
- Tipicamente all'interno delle unità che utilizzano il bus sono presenti dei **registri di buffer** per mantenere l'informazione durante i trasferimenti e non vincolarsi alla velocità del dispositivo più lento connesso al bus.
- All'interno dell'ampiezza di banda massima si può:
 - ◆ **Aumentare la velocità di trasferimento.** Buffer grossi.
 - ◆ **Ridurre i tempi di risposta (latenza).** Buffer piccoli.

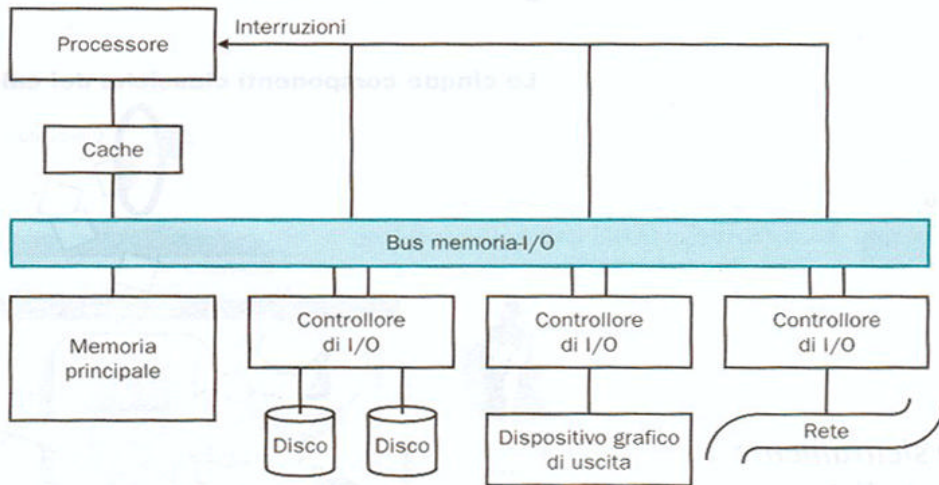
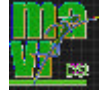


Il device controller

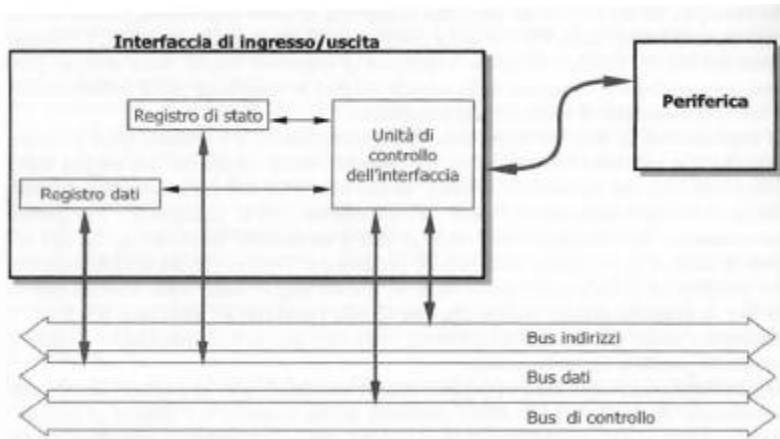




I driver (o controllori): gestione SW



Modalità trasferimento dati



Parallela (centronics). 1 byte alla volta.

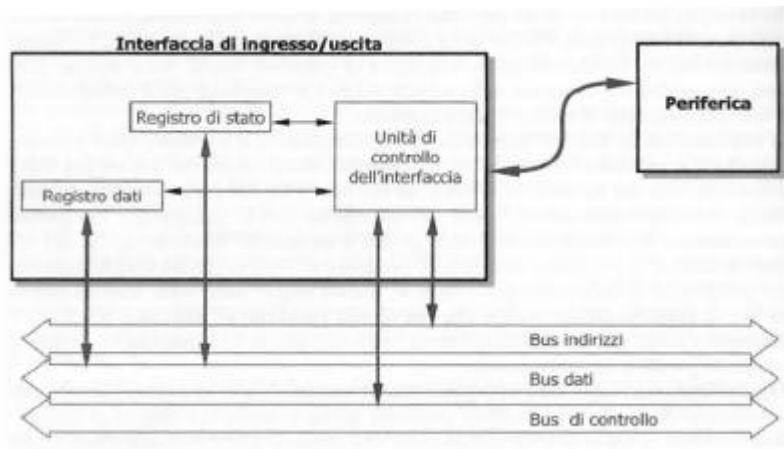
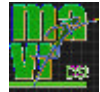
Parallela (bus PCI, bus processore-memoria).

Seriale (RS232, RS432). 1 bit alla volta.

Nuovi standard sono USB, Firewire (IEEE 1394) e Bluetooth / 802.11 / 802.15 (wireless).



Elementi di interfaccia



Registri:

- Dati
- Stato: situazione della periferica (idle, busy, down....) e comando in esecuzione.



Indirizzamento dell'I/O



- Memory-mapped
- Istruzioni speciali di I/O

Istruzioni speciali di I/O

Istruzioni appartenente alla ISA che indirizzano direttamente il dispositivo:

- Numero del dispositivo
- Parola di comando (o indirizzo della parola di comando)



Indirizzamento memory-mapped



- I registri del device controller sono considerati come celle di memoria RAM.
- I loro indirizzi saranno diversi da quelli delle celle di memoria.
- Il processore esegue operazioni di I/O come se fossero operazioni di lettura/scrittura in memoria.

Esempio:

sw \$s0, indirizzo

lw \$s0, indirizzo

dove l'indirizzo è al di fuori dallo spazio fisico della memoria.

- I controller ascoltano tutti i segnali in transito sul bus (*bus snooping*) e si attivano solamente quando riconoscono sul bus indirizzi, l'indirizzo corrispondente alla propria locazione di memoria.
- Gli indirizzi riservati ai registri del controller fanno di solito riferimento alla porzione di memoria riservata al SO e non accessibile quindi al programma utente.
- I programmi utente devono quindi passare dal SO per accedere a questi indirizzi riservati (**modalità kernel**) e quindi effettuare operazioni di I/O. Questo è quanto viene fatto ricorrendo alle System Call.



Sommario



Il bus ed il protocollo di trasferimento

Tipologie di bus

La gestione dell'I/O