

Cognome e nome dello studente:

Matricola:

Anno di corso e turno:

## A.A. 2003-2004 – Seconda prova in itinere – 8 Giugno 2004

### NB Gli esercizi 4 e 6 sono obbligatori.

1. E' corretto affermare che la RAM è la Memoria Principale di un'Architettura? Cosa rappresentano l'altezza e l'ampiezza di una memoria? Come si misura quanti bit sono necessari per indirizzare una memoria di capacità C [2]?

2. Quali sono le modifiche che si devono operare all'architettura a fianco per farla diventare una CPU multi-ciclo? E per farla diventare una architettura con Pipe-line? Perché le modifiche che proponete sono necessarie? [3 + 3]

3. Quali sono i meccanismi di aggiornamento del PC? [3]

4. Con riferimento alla CPU riportata qui a fianco specificare il contenuto dei registri ed il valore dei segnali di controllo al termine (prima della commutazione del clock) del terzo stadio di esecuzione dell'istruzione lw: [8]

400: add \$t0, \$t1, \$t2

404: addi \$t1, \$t2, 100

**408: lw \$t4, 0(\$t7)**

412: beq \$t5, \$t6, -32

416: add \$t0, \$t1, \$t2

Tenere conto che i codici operativi sono: add = 0, addi = 8, beq = 4, lw = 35, che il campo funct della add = 32 e che \$t0 = \$7.

Come si deve modificare la CPU a destra per potere mettere la pipe-line in stallo? [4].

5. Cosa si intende per pipe-line super-scalare a schedulazione dinamica e per super-pipeline? [1]. In quali di queste tipologie rientra la pipe-line del Pentium IV e perché? [2].

6. Disegnare le seguenti tre cache:

a) Cache a mappatura diretta di 64 byte con linee contenenti 2 parole di 4 byte.

b) Cache a 2 vie di 64 byte per banco, con linee (di ciascun banco) contenenti 2 parole di 4 byte.

c) Cache associativa di 64 byte, con linee contenenti 2 parole di 4 byte.

Data l'istruzione lw \$t0, 256(\$t1), specificare all'interno delle cache a), b), c) dove si trova la parola che deve essere letta?

La Memoria Principale ha una capacità di 4Mbyte. Dimensionare anche il campo TAG delle 3 cache [8].

7. Descrivere gli stack ISO-OSI e TCP-IP [2].

8. Cosa si intende per: polling, bus grant, maschera di interrupt, eccezione, spin-lock e burst mode [3]?

9. Supponiamo che una cache sia 5 volte più veloce della memoria principale ed inoltre che la cache possa venire usata per il 90% del tempo. Qual'è il guadagno in velocità dovuto all'uso della cache? [2]

10. Su quali principi sono basate le SRAM, le DRAM e le SDRAM? [2].

11. Che tipo di architettura sono le IA-32? Qual'è l'utilizzo preferenziale di almeno 4 dei registri di un'architettura IA-32? [2].

