

# Architettura della CPU multi-ciclo

---

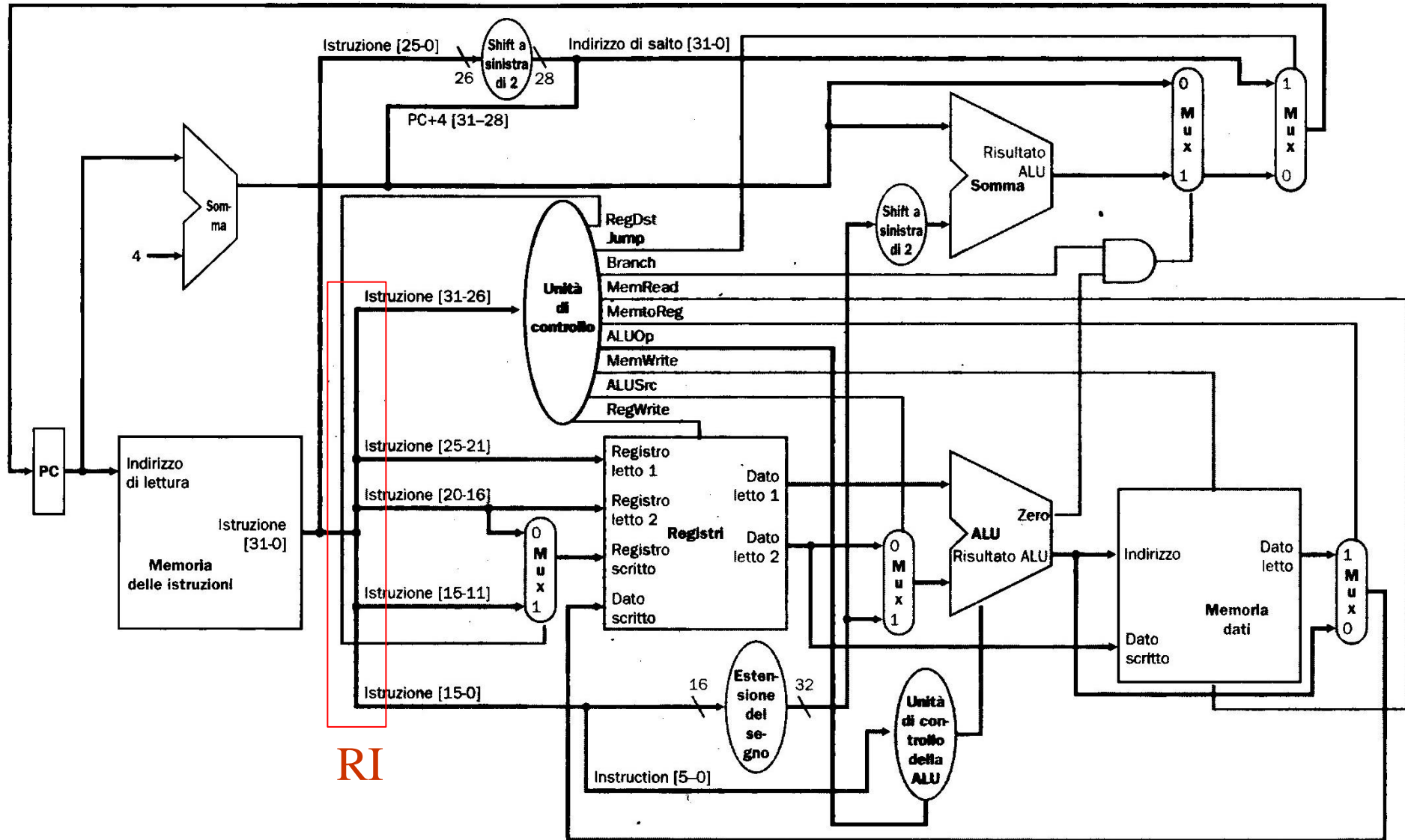
## Architettura degli Elaboratori e delle Reti, Turno I



Alberto Borghese  
Università degli Studi di Milano  
Dipartimento di Scienze dell'Informazione  
email: [borgnese@dsi.unimi.it](mailto:borgnese@dsi.unimi.it)



# La CPU a singolo ciclo



RI



# Problemi



Duplicazione di ALU e Memoria

Durata uguale per istruzioni che richiedono tempi molto diversi



# Esecuzione in un singolo ciclo di clock



**Assumiamo: memoria (2ns), ALU e sommatore (2ns), registri (1ns), nessun ritardo, tempi trascurabili per gli altri elementi della CPU, componenti indipendenti possono lavorare in parallelo.**

	Memoria	Lettura	Operazione	Memoria	Scrittura	
Istruzione	istruzioni	registri	ALU	dati	registri	Totale
Tipo R	2	1	2	0	1	6ns
lw	2	1	2	2	1	8ns
sw	2	1	2	2		7ns
beq	2	1	2			5ns
j	2					2ns

- **La durata del ciclo di clock deve essere pari al percorso più lungo**
- **Percorso più lungo dovuto ad istruzione di caricamento (lw)**



# Valutazione della prestazione della CPU a singolo ciclo



Dipende dal programma.

	lw	sw	beq	j	R	fp (add)	fp (mul)	Durata Clock (max)	Durata media
Durata	8ns	7ns	5ns	2ns	6ns	12ns	20ns		
Caso I	24%	12%	18%	2%	44%			8ns	6.3ns
Caso II	31%	21%	5%	2%	27%	7%	7%	20ns	7ns

In ogni caso, un'implementazione a clock singolo porta ad uno spreco di tempo notevole.



# Problemi



Duplicazione di ALU e Memoria.

Durata uguale per istruzioni che richiedono tempi molto diversi.



# Caratteristiche CPU multi-ciclo



Spezza l'istruzione in più passi, ciascuno eseguito in un ciclo di clock diverso.

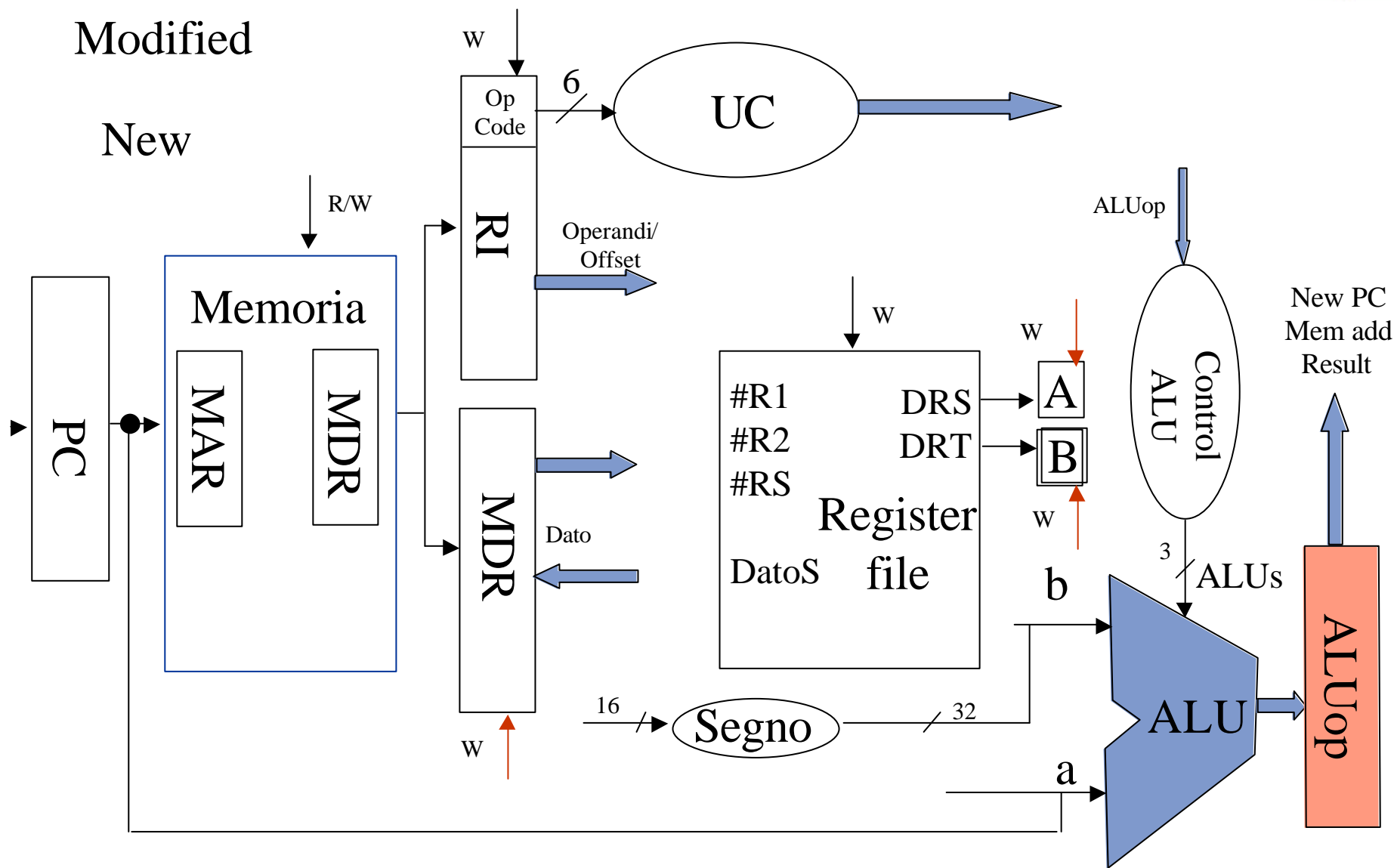
Consente di riutilizzare le unità funzionali (in cicli di clock diversi).  
Le istruzioni possono essere eseguite in un numero diverso di cicli di clock.

Richiede l'aggiunta di HW addizionali (registri di memoria temporanea). Questi devono memorizzare lo stato delle unità funzionali, cioè l'informazione che può servire ai passi successivi e che rischia di essere sovrascritta dal riuso dell'unità funzionale.

L'unità di controllo diventa una FSM.



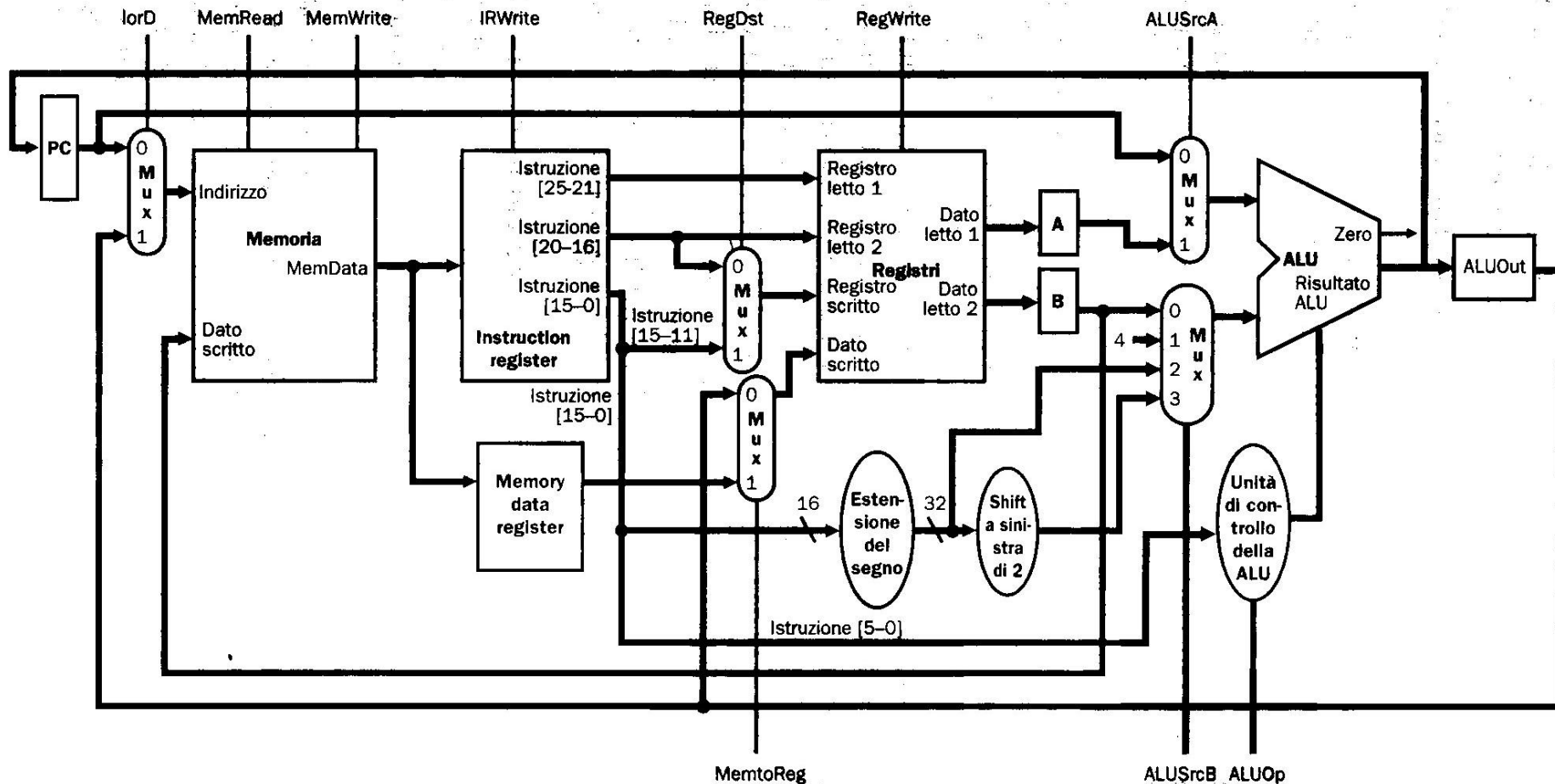
# Elementi di una CPU multi-ciclo





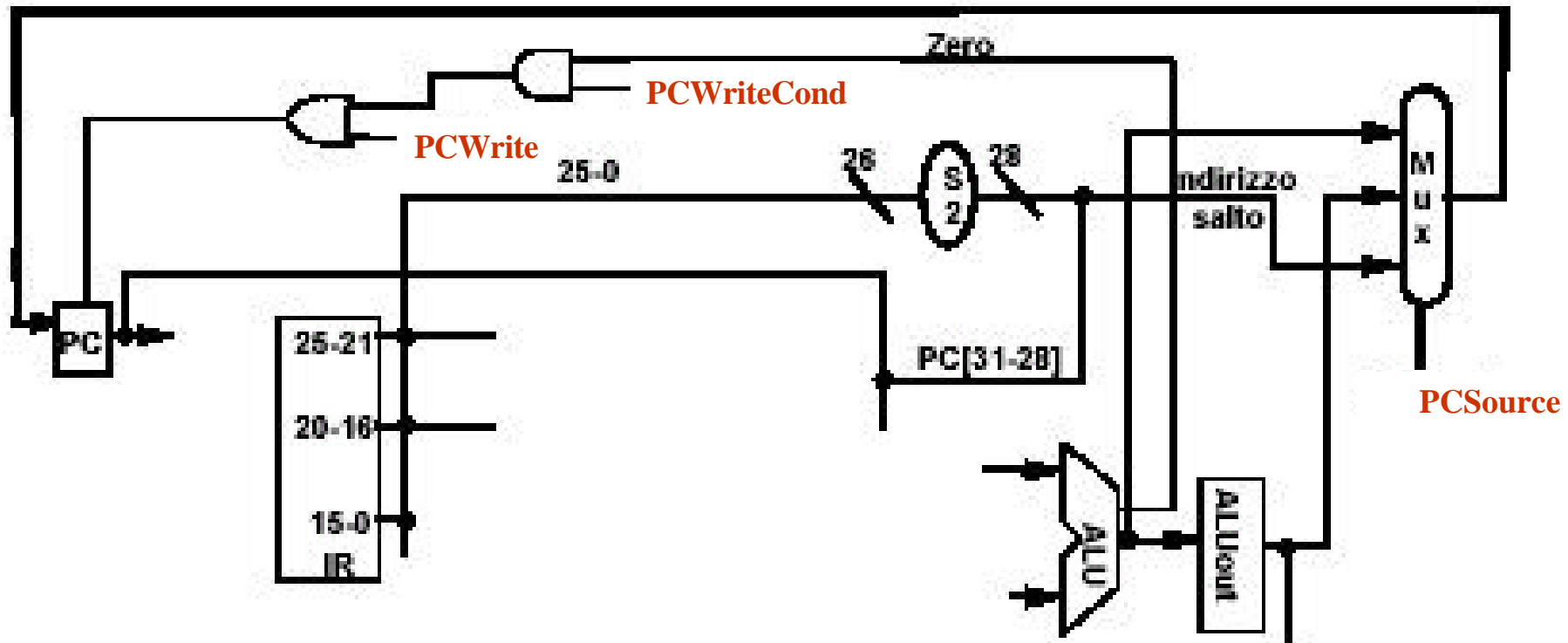


# Struttura della CPU multi-ciclo (istruzioni R, lw/sw)





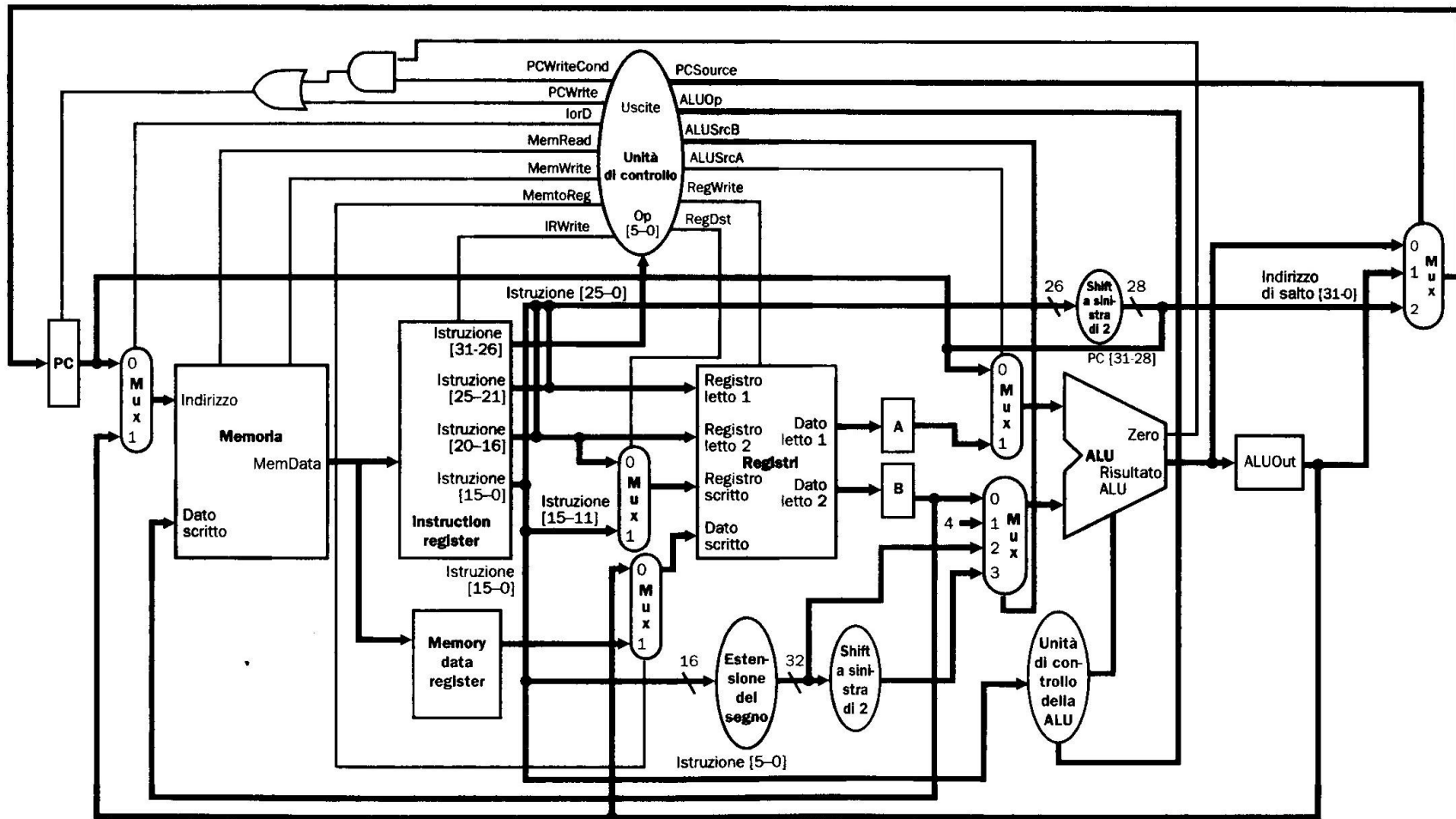
# CPU multi-ciclo: i salti



- Indirizzo ottenuto sommando 4.
- Indirizzo ottenuto dall'ALU (beq).
- Indirizzo ottenuto dal campo dato dell'IR (j).



# CPU multi-ciclo





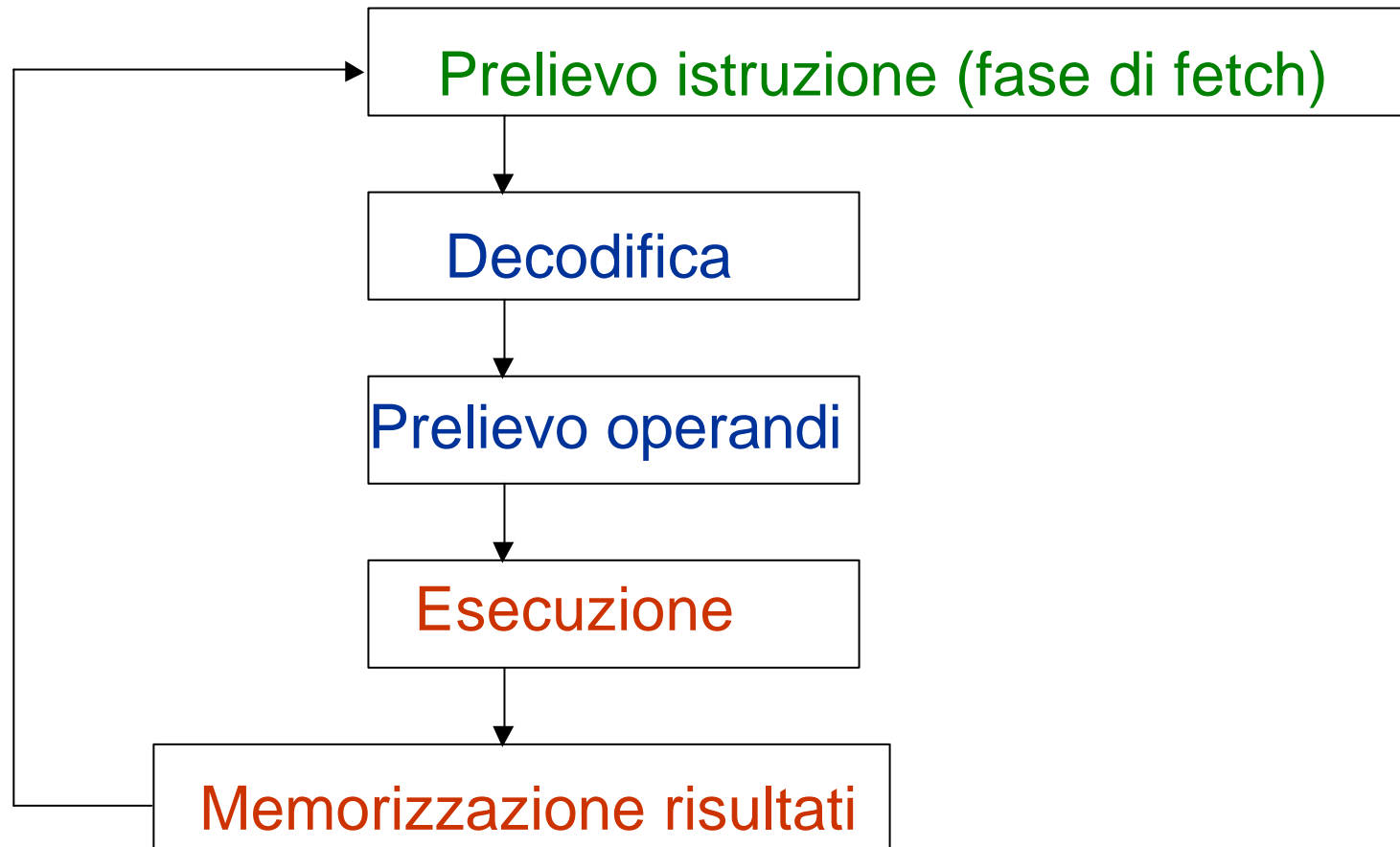
# Segnali di controllo



Nome del segnale	Valore	Effetto
ALUSrcA (1 bit)	0	Il primo operando è il valore attuale del PC
	1	Il primo operando proviene dalla prima porta di lettura del Register File
ALUSrcB (2 bit)	00	Il secondo operando proviene dalla seconda porta di lettura del RF
	01	Il secondo operando è la costante + 4
	10	Il secondo operando è l'estensione del segno del campo offset
	11	Il secondo operando proviene dall'estensione del segno e dallo shift a sx di due posizioni, dell'offset
IorD	0	L'indirizzo della memoria proviene dal PC
	1	L'indirizzo della memoria proviene dalla ALU (ALUOut)
PCSource	00	In PC viene scritta l'uscita della ALU (PC+4)
	01	In PC viene scritta il contenuto di ALUOut (indirizzo di una branch)
	10	In PC viene scritto l'indirizzo di destinazione della jump
PCWrite	0	Nessuno
	1	Viene scritto il registro PC. L'indirizzo scritto in PC è controllato da PCSource
PCWriteCond	0	Nessuno
	1	Il PC viene scritto se anche l'uscita Zero della ALU è affermata



# Ciclo di esecuzione di un'istruzione



Le istruzioni richiederanno da 3 a 5 cicli di clock