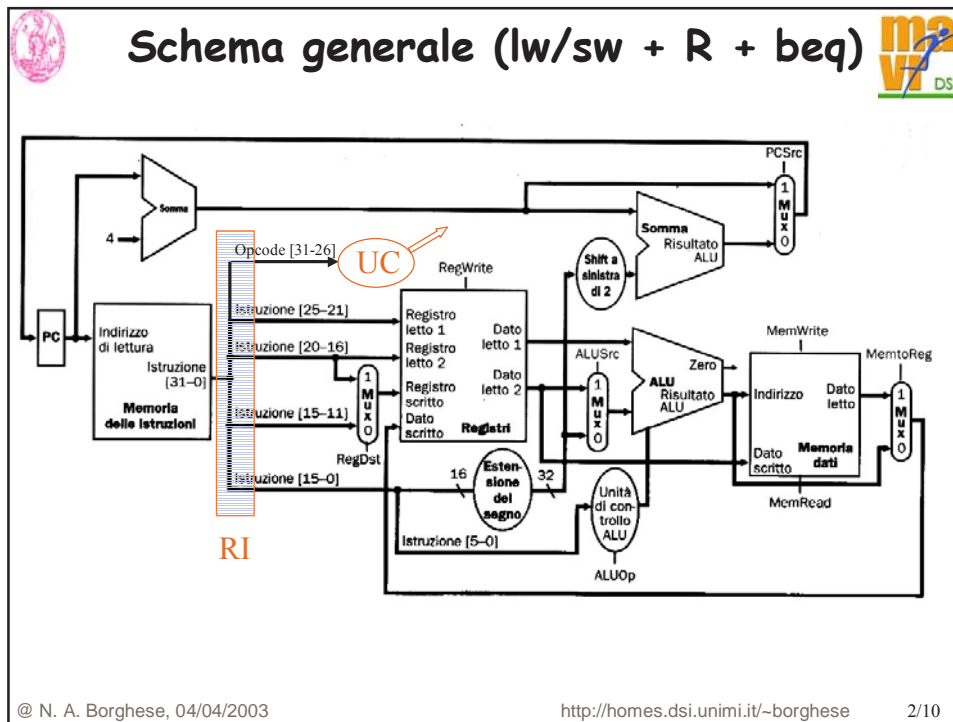


Architettura della CPU

Architettura degli Elaboratori e delle Reti, Turno I



Alberto Borghese
Università degli Studi di Milano
Dipartimento di Scienze dell'Informazione
email: borghese@dsi.unimi.it

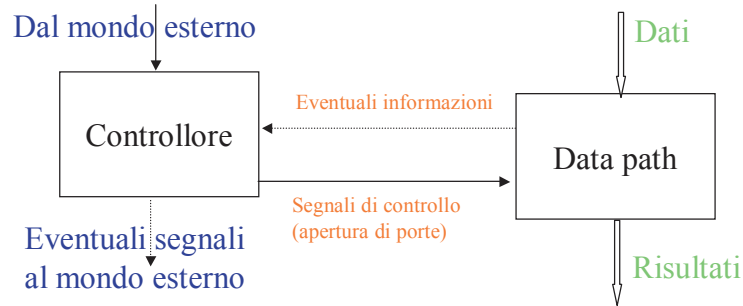




Osservazioni



La CPU è un'architettura del tipo: Controllore - Data-path



Fase comune nel ciclo di esecuzione:

- Fase di fetch
- Decodifica (generazione dei segnali di controllo)

Fase diversa: Esecuzione

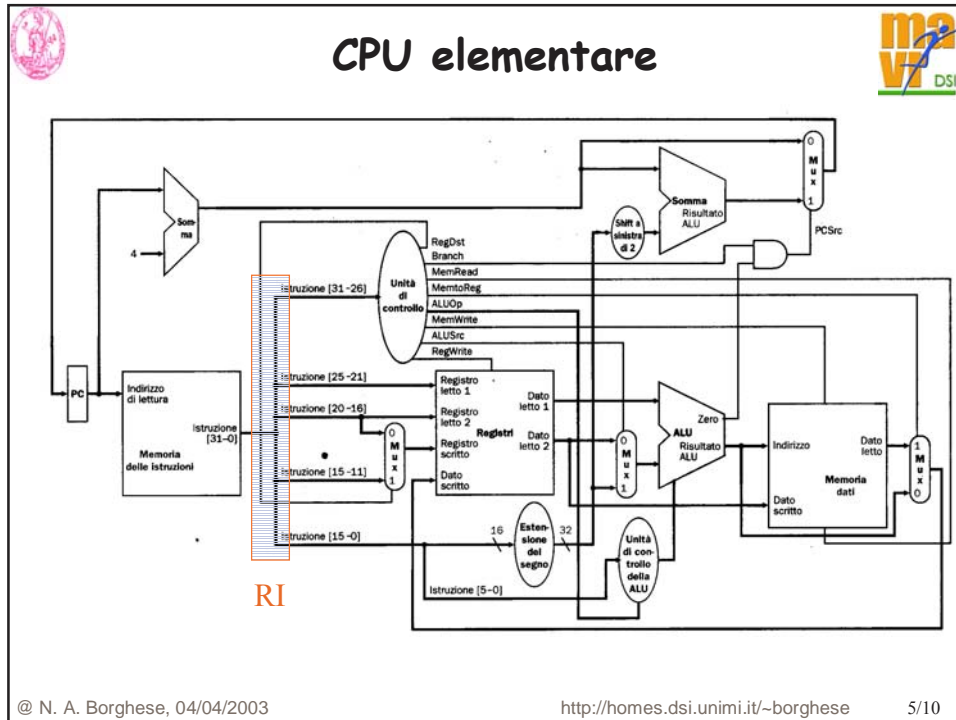


Controllo della ALU



Istr	OpCode						ALUop		Funct						ALUs		
	1	0	0	0	1	1	0	0	x	x	x	x	x	x	0	1	0
lw	1	0	0	0	1	1	0	0	x	x	x	x	x	x	0	1	0
sw	1	0	1	0	1	1	0	0	x	x	x	x	x	x	0	1	0
beq	0	0	0	1	0	0	0	1	x	x	x	x	x	x	1	1	0
add	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	1	0
sub	0	0	0	0	0	0	1	0	1	0	0	0	1	0	1	1	0
and	0	0	0	0	0	0	1	0	1	0	0	1	0	0	0	0	0
or	0	0	0	0	0	0	1	0	1	0	0	1	0	1	0	0	1
slt	0	0	0	0	0	0	1	0	1	0	1	0	1	0	1	1	1

$$ALUop = f(\text{OpCode}, \text{Funct})$$



Controllo del data-path

Istruzione	RegDst	ALUSrc	Memto Reg	Reg Write	Mem Read	Mem Write	Branch	ALUop
R	1	0	0	1	0	0	0	10
Lw	0	1	1	1	1	0	0	00
sw	x	1	x	0	0	1	0	00
beq	x	0	x	0	0	0	1	01

@ N. A. Borghese, 04/04/2003 http://homes.dsi.unimi.it/~borghese 6/10