


La gestione delle memorie

Prof. Alberto Borghese
Dipartimento di Informatica
alberto.borghese@unimi.it

Università degli Studi di Milano

Riferimento Patterson: 5.5, 5.9, 5.11, B.8.


Sommario

Gestione della memoria

I codici di errore

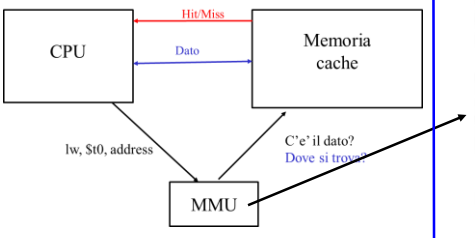
Gli altri dispositivi di memoria

La MMU

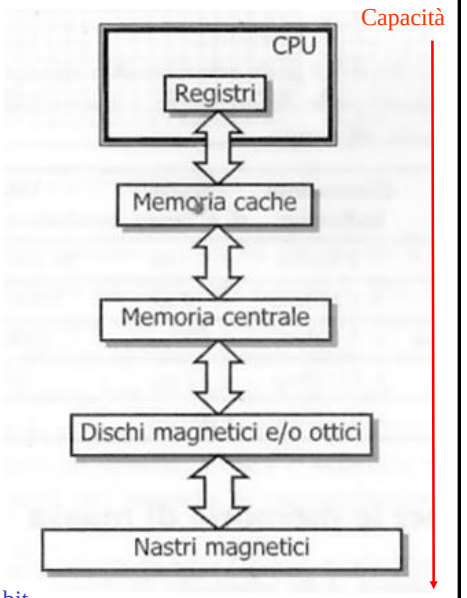
Livelli multipli di memorie con diverse dimensioni e velocità.

Nel livello superiore troviamo un sottoinsieme dei dati del livello inferiore.

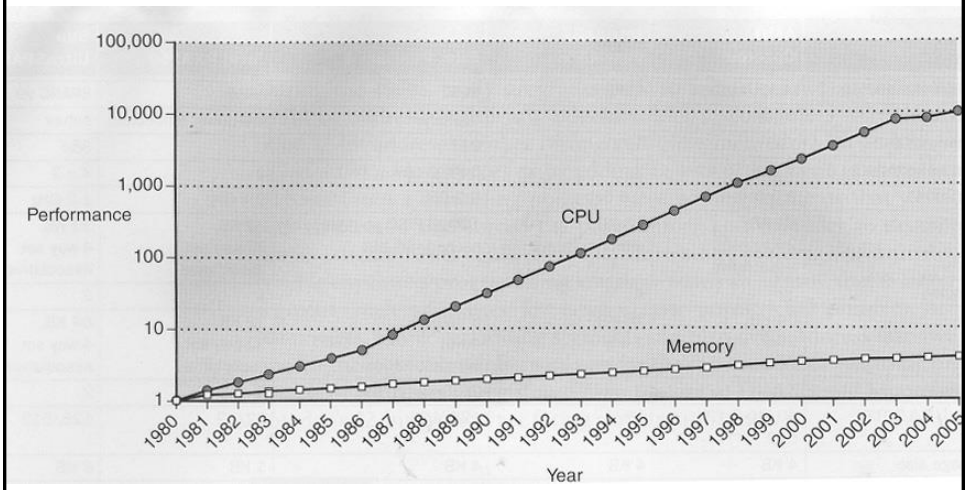
Ciascun livello vede il livello inferiore e viceversa.



MMU deve gestire la gerarchia

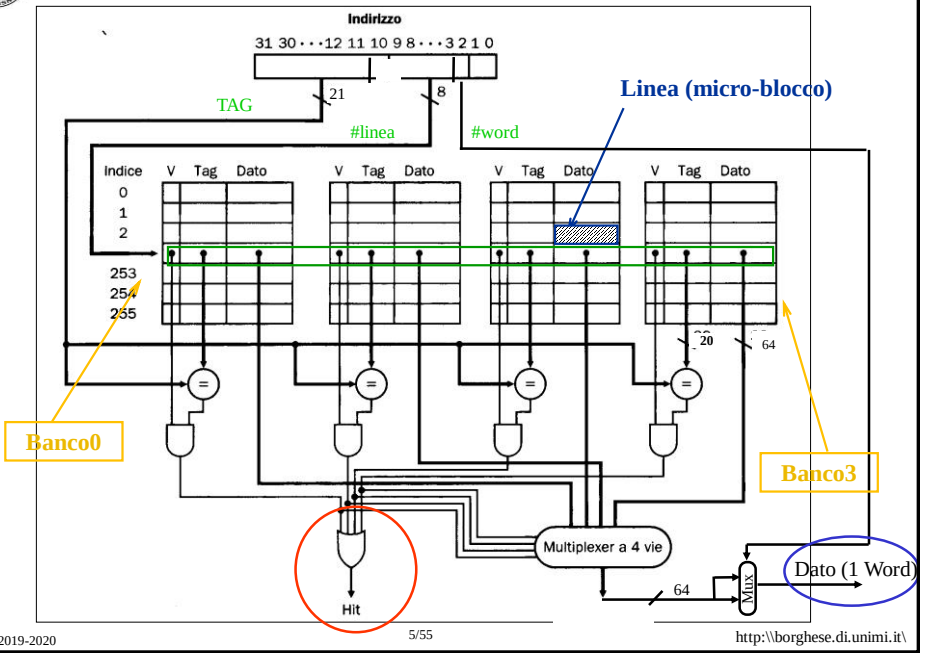


Prestazioni processore vs memoria principale



Prestazioni misurate in tempo per completare un'operazione sulla memoria
Utilizzo diretto della memoria principale da parte della CPU provocherebbe tantissimi stalli

Memorie set-associative



Gestione dei fallimenti di una cache

La gestione avviene tra CPU e MMU.

Hit – è quello che vorremmo ottenere, il funzionamento della CPU non viene alterato.

Miss – in lettura devo aspettare che il dato sia stato caricato nella linea di cache e sia pronto -> eccezione particolare della CPU che crea uno **stallo** della CPU e non un flush.
Nelle CPU super-scalari si sfrutta l'esecuzione fuori ordine per nascondere questa latenza.

Passi da eseguire in caso di Miss (miss penalty):

1) Bloccare tutte le istruzioni nella pipeline (blocco dei registri di pipeline per uno o più cicli di clock)
2) *Scaricare in MM la linea di cache interessata (micro-blocco).*
3) *Richiedere che la MM legga il micro-blocco contenente il dato da leggere e lo porti fuori nel MDR.*
4) *Trasferire il micro-blocco in cache, aggiornare i campi validita' e tag.*
5) Riavviare l'esecuzione della pipeline.

NB Il programma non può continuare!!

Controllo mediante FSM

STATI del controllore:

- Idle: non ci sono richieste alla cache
- Compare: identificazione di Hit / Miss
- Scaricamento linea da cache
- Lettura linea da parte della MM

$<S, I, Y, f(S,I), g(S), S_0>$

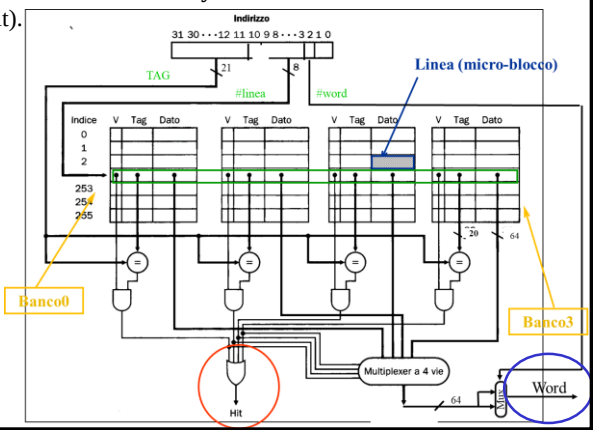
Meccanismo per decidere se una linea va scaricata: **dirty bit** = 1 se la linea è stata modificata dalla CPU (bit di validità + dirty bit).

INPUT al controllore:

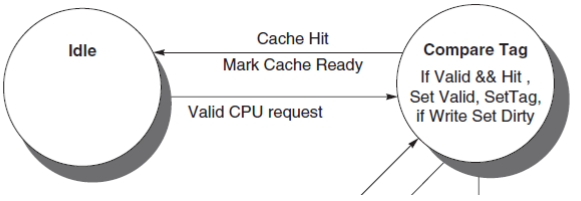
- Read/Write
- DirtyBit
- MM Ready

OUTPUT del controllore (Y):

- Hit/miss (il dato presente in uscita è quello richiesto dalla CPU).



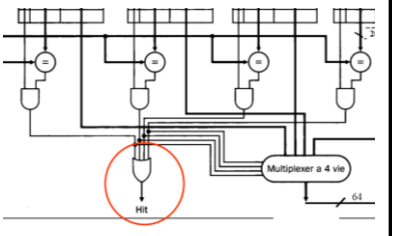
Gestione di una Hit



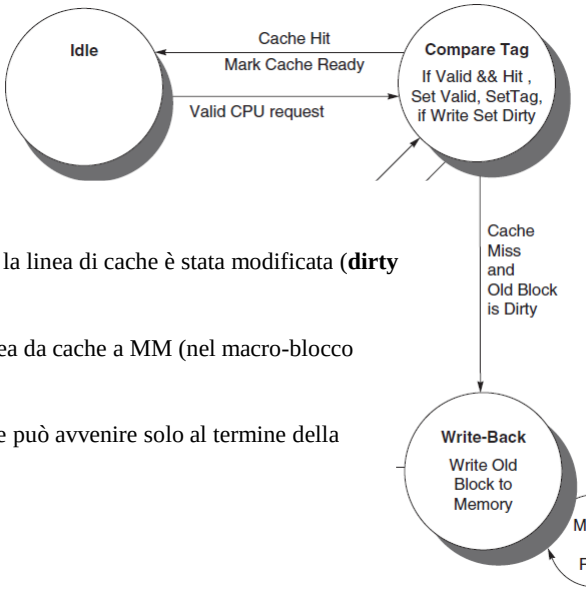
A seguito di una richiesta di lettura/scrittura, il controllore della cache si sposta nello stato in cui viene controllato se il dato è presente in cache ed è valido.

Se la condizione è verificata si ha una hit -> il dato in uscita dalla cache è quello richiesto dalla CPU.

Il controllore della cache ritorna nello stato idle.



Scaricamento di una linea di cache in MM

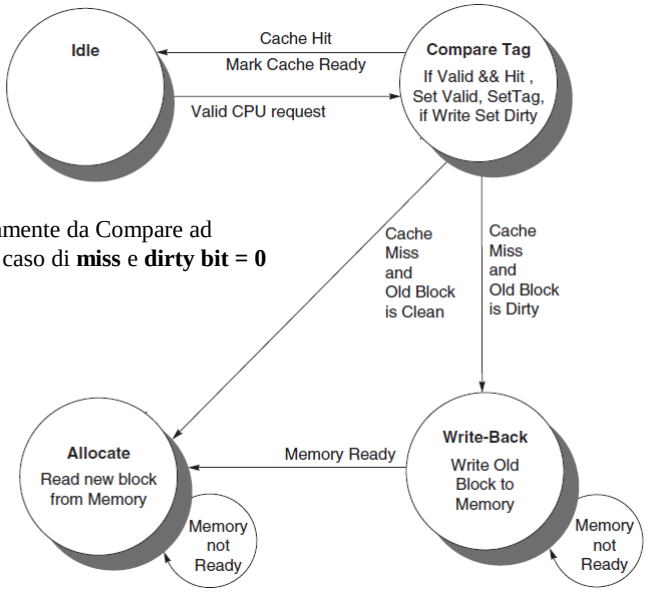


Se si verifica una **miss** e la linea di cache è stata modificata (**dirty bit** = 1),

Va prima trasferita la linea da cache a MM (nel macro-blocco identificato dal TAG).

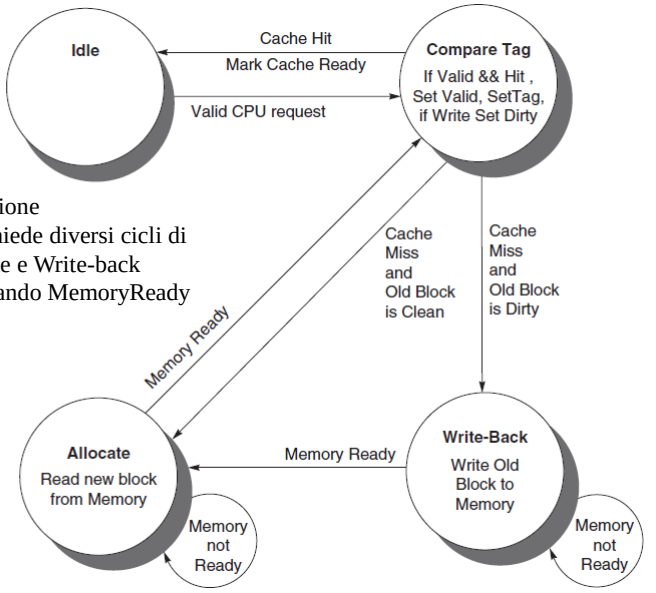
La transizione successive può avvenire solo al termine della scrittura della MM.

Lettura di una linea di cache dalla MM



Passo direttamente da Compare ad Allocate nel caso di **miss** e **dirty bit = 0**

Controllore della cache



Stato = situazione
La lettura richiede diversi cicli di clock, Allocate e Write-back terminano quando MemoryReady

I componenti della Miss penalty

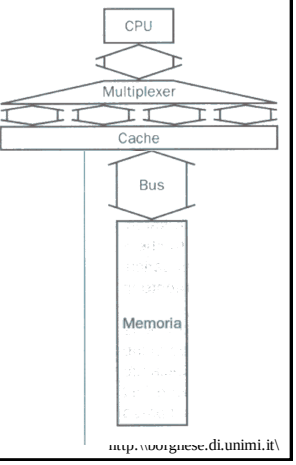
Tempi di accesso:

1 ciclo di clock per inviare l'indirizzo.
15 cicli di clock per ciascuna attivazione della Memoria Principale
(dall'invio dell'indirizzo alla parola in uscita)
1 ciclo di clock per trasferire una parola al livello superiore (cache).

Blocco di cache di 4 parole, blocco di memoria principale di 1 parola:

Miss_Penalty =

1 (invio indirizzo)
+
15 * 4 *(parole)* (lettura)
+
1 * 4 *(parole)* (trasferimento a cache)
=
65 cicli_clock



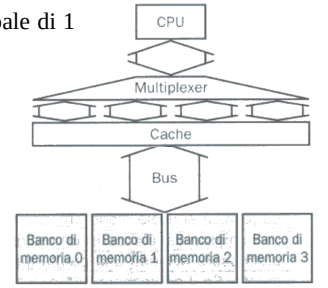
Obbiettivi:
•Diminuire la penalità di fallimento (miss_penalty).

Interleaving

Blocco di cache di 4 parole, blocco di memoria principale di 1 parola:

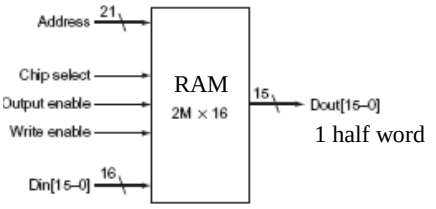
Miss_Penalty =

1 (invio indirizzo)
+
15 * 1 *(insieme di 4 parole)* (lettura)
+
1 * 4 *(parole)* (trasferimento a cache)
=
20 cicli_clock

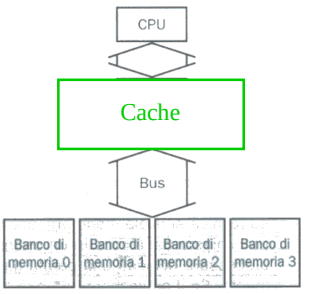


Interleaving (interallacciamento). Banchi che potrebbero essere trasferiti in parallelo alla cache. Si sposa perfettamente con la **struttura gerarchica** della memoria e con la **modalità di trasferimento a burst**.

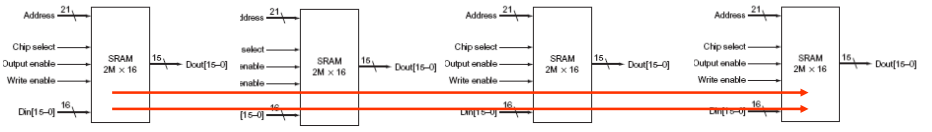
Osservazioni sull'interleaving



1 half word



Linea di cache di 4 parole = 16 Byte = 8 half word



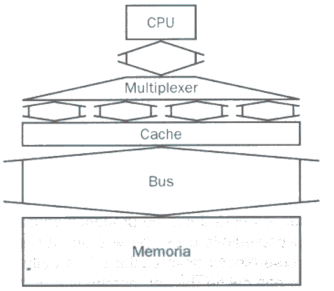
Il vettore di MM viene spalmato sulle linee.
Leggo dal MDR in uscita (velocità di 40x)

Bus ampio

Blocco di cache di 4 parole, blocco di memoria principale di 1 parola:

Miss_Penalty =

1 (invio indirizzo)
+
15 * 1 *(insieme di 4 parole)* (lettura)
+
1 * 1 *(insieme di 4 parole)* (trasferimento a cache)
=
17 cicli_clock



Complessità del bus non giustificata. Si va verso bus sempre piu' stretti (insiemi di bus seriali a 1 bit).

Sommario

Gestione della memoria

I codici di errore

Gli altri dispositivi di memoria

Errori della memoria

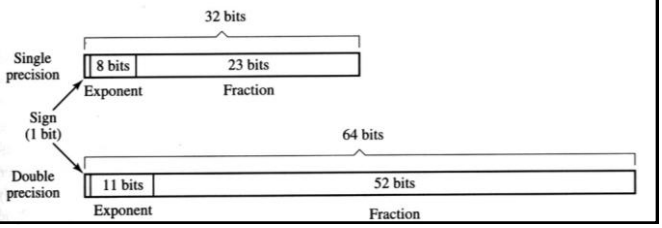
Le parole di memoria sono costituite da gruppi di bit. Cosa succede se 1 bit commuta "spontaneamente" da 0 a 1?

Nome campo	op	rs	rt	indirizzo
Dimensione	6-bit	5-bit	5-bit	16-bit
`lw $t0, 32 ($s3)`	100011	10011	01000	0000 0000 0010 0000

Nome campo	op	rs	rt	indirizzo
Dimensione	6-bit	5-bit	5-bit	16-bit
`sw $t0, 32 ($s3)`	101011	10011	01000	0000 0000 0010 0000

Se commuta il bit 29 di un'istruzione, una load viene tramutata in una store!
La commutazione di altri bit può fare leggere / scrivere il registro sbagliato, può fare accedere a un'indirizzo con un offset sbagliato.

Se commuta il bit 31 (63) il numero cambia segno. Altre commutazioni cambiano il numero FP in modo più o meno significativo.



Come avere una memoria affidabile

Gerarchia

Parallelismo

\+

Ridondanza

- Codice di correzione degli errori
- Dischi RAID

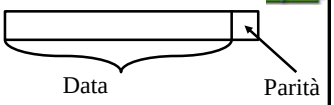
ECC – Error Correction Codes

- Errori dovuti a malfunzionamenti HW o SW.
  - Date le dimensioni delle memorie (**10^{11} celle**) la probabilità d'errore non è più trascurabile.
  - Per applicazioni sensibili, è di fondamentale importanza gestirli.

- Codici rivelatori d'errore
  - Es: codice di parità su 1 bit.
  - Consente di individuare errori singoli in una parola.
  - Non consente di individuare su quale bit si e' verificato l'errore.

- Codici correttori d'errore (error-correcting codes – ECC)
  - Consentono anche la correzione degli errori.
  - Richiedono più bit per ogni dato (più ridondanza)
    - Per la correzione di 1 errore per parole e l'individuazione di 2 errori, occorrono $\log_2(N)$ bit (codice di Hamming).

Codice rilevatore di errore: il codice di parità



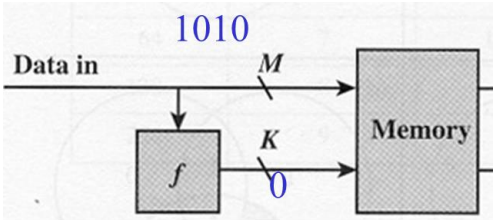
- **Es: Bit di parità (even):**
  - aggiungo un bit ad una sequenza in modo da avere un n. pari (*even*) di "1"

```
0000 1010 0   ← bit di parità (il numero di «1»
0001 1010 1         sarà sempre pari
```

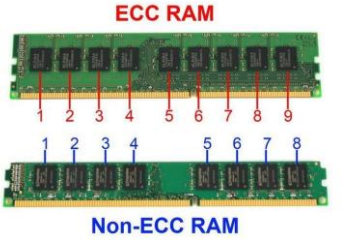
  - Un errore su uno dei bit porta ad un n. dispari di "1" e a un bit di parità a «1»

- Prestazioni del codice di parità su 1 bit
  - mi accorgo dell'errore
  - **rivelo errori singoli**
  - **COSTO: 1 bit aggiuntivo ogni 8 → 9/8 = +12,5%**
  - ma non so dove sia l'errore.
  - **non correggo**

Scrittura in memoria



Chip che supportano la parità su 1 bit. MM e Cache.

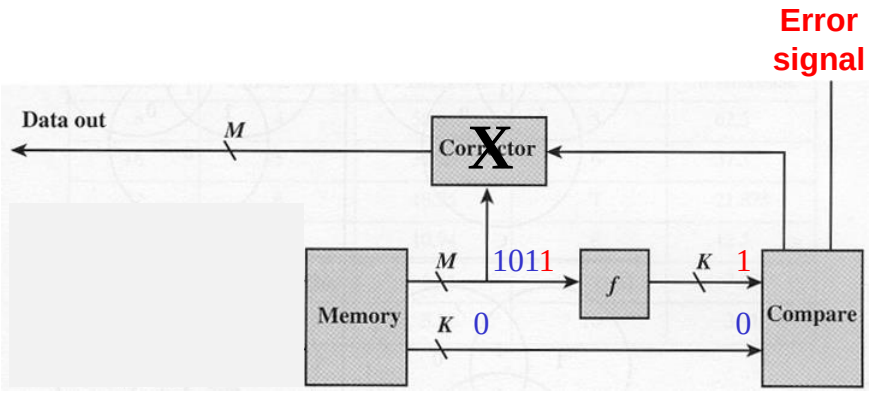


Invio il dato alla memoria e in parallelo invio anche il bit di parità -> 9 bit

f può essere ad esempio il codice di parità e K il bit di parità

Lettura dalla memoria

L'errore si identifica in lettura



Codici correttori d'errore

- **Es: Codice a ripetizione**
  - Ripeto ogni singolo bit della sequenza originale per altre 2 volte → triplico ogni bit

    `0 00 1 11 1 11 0 00 1 11 0 00 0 00 1 11 ...`

  - Un errore su un bit di ciascuna terna può essere corretto:

    `000 → 010 → 000`

    `111 → 110 → 111`

- Prestazioni del codice
  - **rivelo e correggo errori singoli su TUTTI i bit.**
  - **COSTO: 2 bit aggiuntivi ogni 1 → 3/1 = +200%**

Definizioni

- **Distanza di Hamming**, **d** (tra 2 sequenze di N bit)
  - il numero di cifre differenti, giustapponendole

    `01001000`

    `01000010 → d = 2`

- **Distanza minima** di un codice, d_{MIN}

  il valor minimo di **d** tra tutte le coppie di sequenze valide di un codice

- Capacità di rivelazione di un codice: $t = d_{MIN} - 1$
- Capacità di correzione di un codice: $r = (d_{MIN}-1)/2$

- Esempi:

  - Codice a bit di **parità su 1 bit**: $d_{MIN} = 2 \rightarrow$ t=1, r=0

  `0000 1010 0` **Distanza minima: commuta 1 bit ->**

  `0000 1011 1` commuta anche il bit di parità

  - Codice a **ripetizione (3,1)**: $d_{MIN} = 3 \rightarrow$ t=2, r=1

  `000 000 111 111` **Distanza minima: commuta 1 bit ->**

  `000 000 111 000` commutano anche i 2 bit di ripetizione

Come calcolare il codice ECC Hamming

1) Enumeriamo i bit partendo da sinistra: (d_1, d_2, d_3, d_4, d_5, d_6, d_7 , d_8).
2) Segnare le posizioni potenze di 2 come posizione dei bit di parità (1, 2, 4, 8, 16…)
3) I bit dei dati vanno inseriti in tutti gli altri bit (3, 5, 6, 7, 9, 10, 11, 12, …, 13, 14, 15, 17, …)
4) La posizione del bit di parità determina i gruppi di bit dati di cui quel bit di parità è responsabile.

Esempio

Dato: 1 0 0 1 1 0 1 0 = 89 in base 10
d1 d2 d3 d4 d5 d6 d7 d8

Bit #	1	2	3	4	5	6	7	8	9	10	11	12
Semantica:	p1	p2	d1	p4	d2	d3	d4	p8	d5	d6	d7	d8
Contenuto:	X	X	1	X	0	0	1	X	1	0	1	0

Calcolo del Bit p1

Bit # (dec)	1	2	3	4	5	6	7	8	9	10	11	12
Bit # (bin)	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100
Semantica:	p1	p2	d1	p4	d2	d3	d4	p8	d5	d6	d7	d8
Contenuto:	0	X	1	X	0	0	1	X	1	0	1	0

Considero i bit di dato la cui posizione contiene un 1 nel bit 2^0 (bit meno significativo): **X, 3, 5, 7, 9, 11: d1, d2, d4, d5, d7 = 1 0 1 1 1**

Conto 4 «1» -> parità -> bit di parità pari = p1 = 0

Calcolo del Bit p2

Bit # (dec)	1	2	3	4	5	6	7	8	9	10	11	12
Bit # (bin)	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100
Semantica:	p1	p2	d1	p4	d2	d3	d4	p8	d5	d6	d7	d8
Contenuto:	0	1	1	X	0	0	1	X	1	0	1	0

Considero i bit di dato la cui posizione contiene un 1 nel bit 2^1: X 3, 6, 7, 10, 11: d1, d3, d4, d6, d7 = 1 0 1 0 1

Conto 3 «1» -> disparità -> bit di parità pari = p2 = 1

Calcolo del Bit p4

Bit # (dec)	1	2	3	4	5	6	7	8	9	10	11	12
Bit # (bin)	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100
Semantica:	p1	p2	d1	p4	d2	d3	d4	p8	d5	d6	d7	d8
Contenuto:	0	1	1	1	0	0	1	X	1	0	1	0

Considero i bit di dato la cui posizione contiene un 1 nel bit 2^2: X 5, 6, 7, 12: d2, d3, d4, d8 = 0 0 1 0.

Conto 1 «1» -> disparità -> bit di parità pari = p4 = 1

Calcolo del Bit p8

Bit # (dec)	1	2	3	4	5	6	7	8	9	10	11	12
Bit # (bin)	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100
Semantica:	p1	p2	d1	p4	d2	d3	d4	p8	d5	d6	d7	d8
Contenuto:	0	1	1	1	0	0	1	0	1	0	1	0

Considero i bit di dato la cui posizione contiene un 1 nel bit 2^3: 9, 10, 11, 12: d5, d6, d7,d8 = 1 0 1 0.

Conto 2 «1» -> parità -> bit di parità pari = p8 = 0

Come calcolare il codice ECC Hamming

Bit position		1	2	3	4	5	6	7	8	9	10	11	12
Encoded data bits		p1	p2	d1	p4	d2	d3	d4	p8	d5	d6	d7	d8
Parity bit coverage	p1	X		X		X		X		X		X	
	p2		X	X			X	X			X	X	
	p4				X	X	X	X					X
	p8								X	X	X	X	X

Esempio

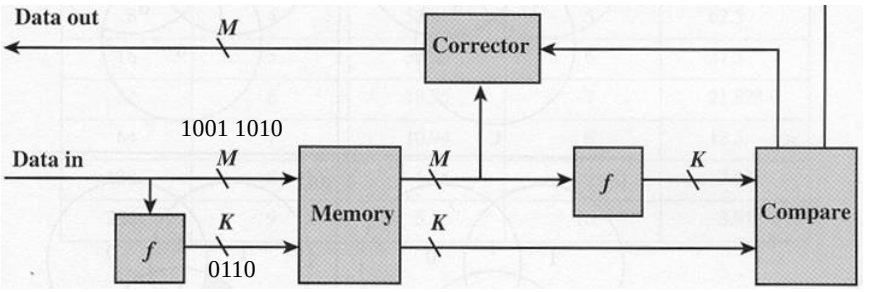
Dato: 1 0 0 1 1 0 1 0
d1 d2 d3 d4 d5 d6 d7 d8

Bit #	1	2	3	4	5	6	7	8	9	10	11	12
Semantica:	p1	p2	d1	p4	d2	d3	d4	p8	d5	d6	d7	d8
Contenuto:	0	1	1	1	0	0	1	0	1	0	1	0

Scrittura del dato in memoria

Dato: 1 0 0 1 1 0 1 0
d1 d2 d3 d4 d5 d6 d7 d8

Bit #	1	2	3	4	5	6	7	8	9	10	11	12
Semantica:	p1	p2	d1	p4	d2	d3	d4	p8	d5	d6	d7	d8
Contenuto:	0	1	1	1	0	0	1	0	1	0	1	0

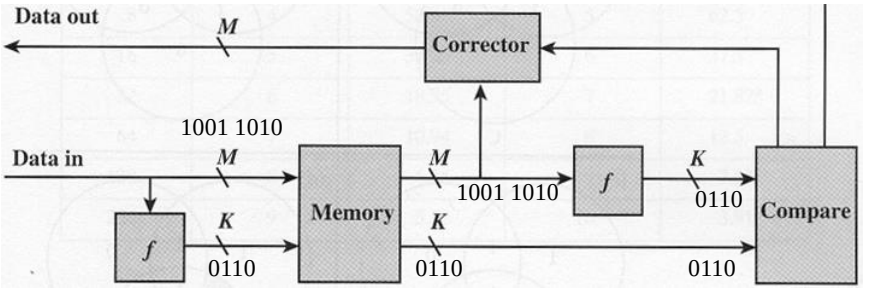


Lettura del dato dalla memoria

Dato: 1 0 0 1 1 0 1 0
d1 d2 d3 d4 d5 d6 d7 d8

Bit #	1	2	3	4	5	6	7	8	9	10	11	12
Semantica:	p1	p2	d1	p4	d2	d3	d4	p8	d5	d6	d7	d8
Contenuto:	0	1	1	1	0	0	1	0	1	0	1	0

No error



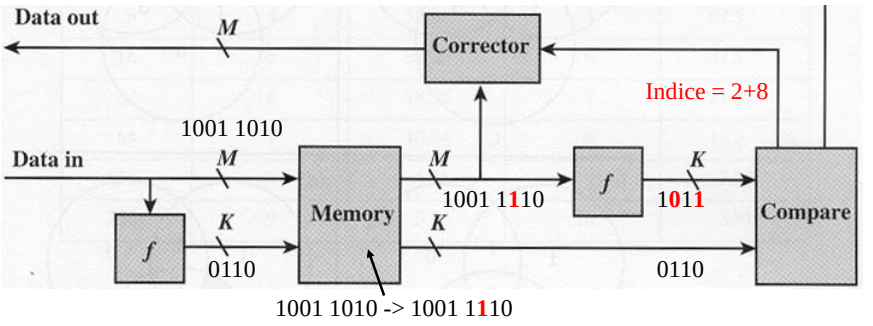
Errore su un bit: lettura

Dato: 1 0 0 1 1 **1** 1 0 Errore nel bit d6, posizione 10 -> modifica p2 e p8
d1 d2 d3 d4 d5 d6 d7 d8

Bit # (dec)	1	2	3	4	5	6	7	8	9	10	11	12
Bit # (bin)	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100

Semantica:	p1	p2	d1	p4	d2	d3	d4	p8	d5	d6	d7	d8
Contenuto:	**0**	0	1	1	0	0	1	**1**	1	**1**	1	0

Error signal



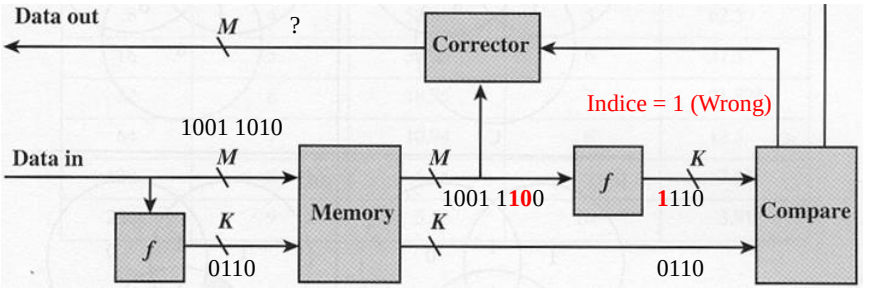
Errore su 2 bit: lettura

Dato: 1 0 0 1 1 **1** **0** 0 Errore nel bit d6, posizione 10 -> modifica p2 e p4
d1 d2 d3 d4 d5 d6 d7 d8 Errore nel bit d7, posizione 11 -> modifica p1, p2 e p8

Bit # (dec)	1	2	3	4	5	6	7	8	9	10	11	12
Bit # (bin)	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100

Semantica:	p1	p2	d1	p4	d2	d3	d4	p8	d5	d6	d7	d8
Contenuto:	**1**	**1**	1	1	0	0	1	**0**	1	**1**	**0**	0

Error signal



Errore su 1 bit di parità: lettura

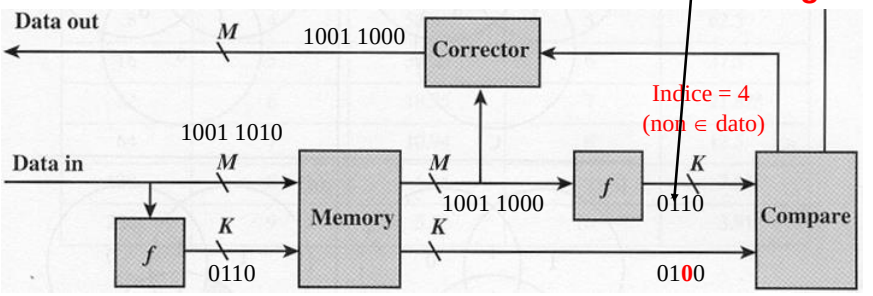
Dato: 1 0 0 1 1 0 1 0
d1 d2 d3 d4 d5 d6 d7 d8

Errore nel bit p4, posizione 4 -> nessuna modifica nei bit di parità associati alla parte dati

Bit # (dec)	1	2	3	4	5	6	7	8	9	10	11	12
Bit # (bin)	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100
Semantica:	p1	p2	d1	p4	d2	d3	d4	p8	d5	d6	d7	d8
Contenuto:	0	1	1	0	0	0	1	0	1	0	1	0

Il bit 4 è un bit di parità, il dato non deve essere corretto

Error signal



Come calcolare il codice ECC Hamming

1) Enumeriamo i bit partendo da sinistra: (d_1, d_2, d_3, d_4, d_5, d_6, d_7, d_8).
2) Segnare le posizioni potenze di 2 come posizione dei bit di parità (1, 2, 4, 8, 16…)
3) I bit dei dati vanno inseriti in tutti gli altri bit (3, 5, 6, 7, 9, 10, 11, 12, …, 13, 14, 15, 17, …)
4) La posizione del bit di parità determina di quali bit sarà responsabile (p_1 di tutti i bit che hanno indirizzo che termina con 1: i numeri dispari; p_2 di tutti i bit che hanno il secondo bit da destra = 1: 2,3 – 10,11; 6,7 – 110,111; 10,11 – 1010,1011,….).

Bit position		1	2	3	4	5	6	7	8	9	10	11	12
Encoded data bits		p1	p2	d1	p4	d2	d3	d4	p8	d5	d6	d7	d8
Parity bit coverage	p1	X		X		X		X		X		X	
	p2		X	X			X	X			X	X	
	p4				X	X	X	X					X
	p8								X	X	X	X	X

Le quattro cifre p1p2p3p4 ci dicono dove c'è un errore eventualmente e quindi ci dà la possibilità di correggerlo.

Con un parola a 12 bit possiamo correggere errori su dati a 8 bit.

Dimensione di codici ECC

- Conviene applicare ECC a parole più lunghe possibile → aggiungo meno ridondanza → maggiore efficienza del codice
  - A costo di complessità maggiori di codifica/decodifica
  - La codifica avviene in parallelo sui diversi bit (indipendenza).

	Single-Error Correction		Single-Error Correction/ Double-Error Detection	
Data Bits	Check Bits	% Increase	Check Bits	% Increase
8	4	50	5	62.5
16	5	31.25	6	37.5
32	6	18.75	7	21.875
64	7	10.94	8	12.5
128	8	6.25	9	7.03
256	9	3.52	10	3.91

E' conveniente avere parole di memoria lunghe => compromesso

RAID

RAID è un acronimo che sta per Redundant Array of Independent Disks (originariamente, 1988, stava per Redundant Array of Inexpensive Disks).

Dischi grandi sono costituiti da insiemi di dischi piccolo (parallelismo nell'accesso, adatti ai multi-core) => aumenta la possibilità di guasti => RAID.

Ha queste caratteristiche:

1) RAID è un insieme, array, di dischi fisici visto dal sistema operativo come un drive logico singolo.
2) I dati vengono distribuiti attraverso i dispositivi fisici dell'array di dischi.
3) La capacità ridondante dei dischi viene utilizzata per memorizzare l'informazione di parità, che garantisce di potere recuperare i dati in casi di guasto (i guasti risultano più frequenti per la maggiore complessità dell'HW).

I RAID

Insieme di piccoli dischi letti in parallelo (cf. chip in parallelo di una MM).

RAID 0. Striping.
- Tecnica che distribuisce i dati sui diversi piccolo dischi in parallelo.
- I dati vengono letti come micro-blocchi unici, caricando dai diversi dischi.
- Non c'è ridondanza.
- Adatti all'elaborazione video, non adatti ai data-base, ecc.…

RAID 1. Raddoppia il numero di dischi. **Mirroring.**
- Equivalente al codice di parità per ogni disco.
- Soluzione molto costosa in numero di dischi.
- Adopted by EMC, HP(Tandem), IBM

RAID 3. Raggruppa un certo numero di dischi a cui assegnare un disco di parità. **Protection group.**
- Equivalente al codice di parità (e.g. Hamming) per un insieme di parole di memoria.
- Compromesso tra numero di dischi (lunghezza della parola di memoria) e affidabilità.
- Occorre leggere più dischi per analizzare la parità (interleaving dei bit di parità e della parola di memoria).
- Popolare per grossi insiemi di dati: multi-media e calcolo scientifico.

I RAID

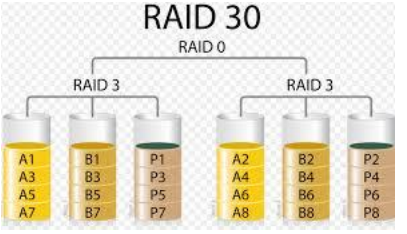
Stand-by spares.
- Cosa succede se si verifica un guasto fisico in una cella di memoria? Il blocco viene eliminato.
- Cosa succede se si verifica un guasto fisico a un disco? Il disco viene eliminato => Dischi aggiuntivi di riserva, sostituiscono il disco guasto e consentono il ricambio della parte con più calma

Evoluzione verso un controllo gerarchico.
- Accessi a dati ampi -> più dischi dati e controllo
- Accesso a dati stretti -> pochi dischi

RAID 10 (1+0). Striped mirrored.

RAID 01 (0+1). Mirrored striped.

RAID 30 (3+0). Striped on protection groups.



Errori nella memoria

Mean Time To Failure (MTTF): guasto medio a partire dall'accensione.
Per un disco arriva a 1.000.000 di ore = 114 anni.

Annual Failure Rate (AFR): percentuale di dischi che si possono guastare in un anno -> probabilità che un disco si guasti in 1 anno.

Se abbiamo un MTF = 1.000.000 => (24 x 365) / 1.000.000 = 0.876%

ore / failure

ore / anno

Failure / anno

Un grosso centro di calcolo può contenere 50.000 server, ciascuno contiene facilmente 2 dischi per un totale di 100.000 dischi.

Un AFR di 0,876% corrisponde per 100.000 dischi a una media di 876 guasti per anno, cioè più di 2 guasti al giorno!

Da qui la ragione di proteggere i dati!

Impatto dei guasti

Interruzione del servizio (impatto sul cliente)

Mean Time To Repair (MTTR) – Tempo medio per la riparazione.

Mean Time Between Failures (MTBF) – MTTF + MTTR – Metrica più utilizzata.

Availability – Disponibilità della memoria

$$\frac{MTTF}{MTTF + MTTR}$$

Availability misurata in "nines of availability":

1 nove: 90% => 36.5 giorni di guasto / anno
2 nove: 99% => 3.65 giorni di guasto / anno
3 nove: 99,9% => 526 minuti di guasto / anno
4 nove: 99,99% => 52.6 minuti di guasto / anno
5 nove: 99,999% => 5.26 minuti di guasto / anno

100% Stand-by spears per avere MTTR = 0

Impatto dei guasti

Ridondanza
Gerarchia
Parallelismo
Speculazione

Interruzione del servizio (impatto sul cliente)

Mean Time To Repair (MTTR) – Tempo medio per la riparazione.

Mean Time Between Failures (MTBF) – MTTF + MTTR – Metrica più utilizzata.

Availability – Disponibilità della memoria

$$\frac{MTTF}{MTTF + MTTR}$$

Availability misurata in "nines of availability":
1 nove: 90% => 36.5 giorni di guasto / anno
2 nove: 99% => 3.65 giorni di guasto / anno
3 nove: 99,9% => 526 minuti di guasto / anno
4 nove: 99,99% => 52.6 minuti di guasto / anno ← **Good Internet Services**
5 nove: 99,999% => 5.26 minuti di guasto / anno

Evitare i guasti: costruire i dispositive per evitare che si guastino.
Tollerare i guasti: Stand-by spares ➔ MTTR = 0 => Availability del 100%
Predire i guasti: sostituzione prima del guasto (speculazione)

Sommario

Gestione della memoria

I codici di errore

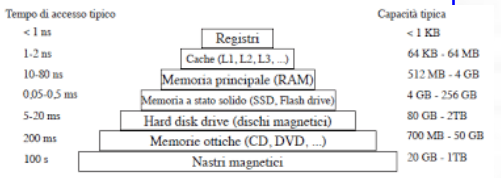
Gli altri dispositivi di memoria

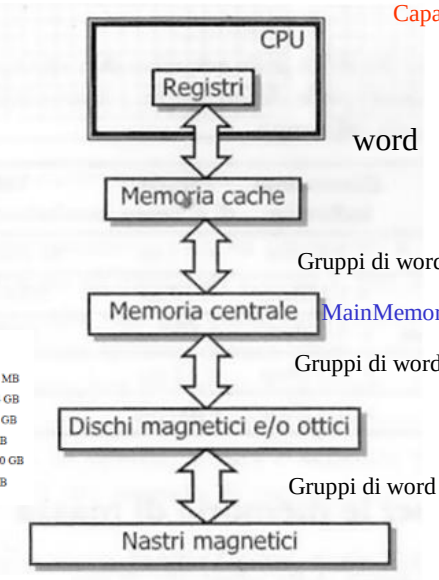
Gerarchia di memorie

Livelli multipli di memorie con diverse dimensioni e velocità.

Nel livello superiore troviamo un sottoinsieme dei dati del livello inferiore.

Ciascun livello vede il livello inferiore e viceversa.





Dischi

- Consentono di memorizzare dati in modo non volatile.
  - Dischi magnetici
  - Dischi a stato solido
  - Dischi ottici

Dischi magnetici

- I dati sono letti/scritti mediante una testina.
- I dischi magnetici sono di due tipi principali:
  - hard disk
  - floppy disk (messi in commercio da Apple e Tandy nel 1978). In precedenza esistevano solamente le cassette magnetiche, a loro volta evoluzione dei nastri magnetici immessi sul mercato nel 1934 in Germania dalla IG Farben, ora Basf, per un magnetofono AEG.

Dischi a stato solido (Flash memory)

- EEPROM (memoria cancellabile elettronicamente: tempi di lettura e scrittura molto diversi)
- Used in portable devices and in hybrid systems
- Transfer rate (sequenziale e access rate ("random") sono metriche diverse.

Characteristics	Kingston SecureDigital (SD) SD4/8 GB	Transend Type I CompactFlash TS16GCF133	RIDATA Solid State Disk 2.5 inch SATA
Formatted data capacity (GB)	8	16	32
Bytes per sector	512	512	512
Data transfer rate (read/write MB/sec)	4	20/18	68/50
Power operating/standby (W)	0.66/0.15	0.66/0.15	2.1/—
Size: height × width × depth (inches)	0.94 × 1.26 × 0.08	1.43 × 1.68 × 0.13	0.35 × 2.75 × 4.00
Weight in grams (454 grams/pound)	2.5	11.4	52
Mean time between failures (hours)	> 1,000,000	> 1,000,000	> 4,000,000
GB/cu. in., GB/watt	84 GB/cu.in., 12 GB/W	51 GB/cu.in., 24 GB/W	8 GB/cu.in., 16 GB/W
Best price (2008)	~ $30	~ $70	~ $300

SanDisk Extreme Pro SSD - 2020

	240GB	480GB	960GB
Seq. Lettura (fino a)	550 MB/s	550 MB/s	550 MB/s
Seq. Scrittura (fino a)	520 MB/s	515 MB/s	515 MB/s
Rnd. Lettura (fino a)	100K IOPS	100K IOPS	100K IOPS
Rnd. Write (fino a)	90K IOPS	90K IOPS	90K IOPS

Vantaggi e svantaggi

Pro

Latenza minore di 100-1000 volte dei dischi
Consuma meno ed è più resistente agli urti.

Contra

Wear out (usura) ➔ **wear leveling** (uniformità delle scritture)

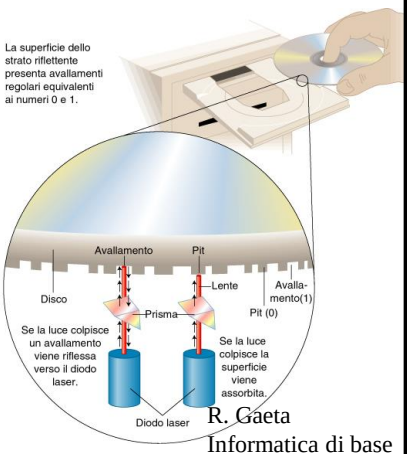
Flash introdotte come memorie di boot per rendere il boot più veloce e nei dispositivi mobili quali MP3, telefonini... Nei dispositivi portatili tende a sostituire le memorie a disco rigido.

Characteristics	NOR Flash Memory	NAND Flash Memory
Typical use	BIOS memory	USB key
Minimum access size (bytes)	512 bytes	2048 bytes
Read time (microseconds)	0.08	25
Write time (microseconds)	10.00	1500 to erase + 250
Read bandwidth (MBytes/second)	10	40
Write bandwidth (MBytes/second)	0.4	8
Wearout (writes per cell)	100,000	10,000 to 100,000
Best price/GB (2008)	$65	$4

Si va verso 1,000,000 scritture

CD-ROM / DVD

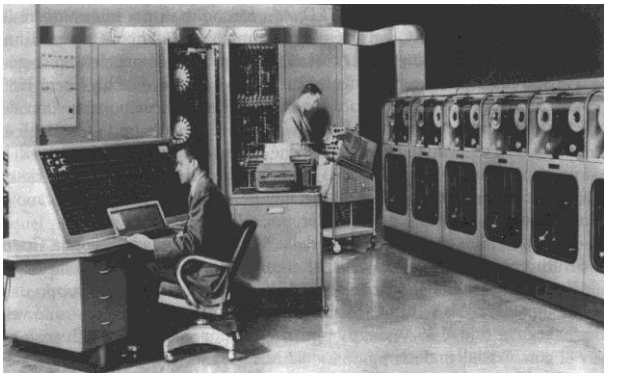
- I CD-ROM sono basati sulla tecnologia laser per la memorizzazione delle informazioni. Vennero lanciati sul mercato nel 1982 da Philips e Sony per la registrzione di suoni.
- Memorizzano l'informazione codificata mediante fori sulla superficie del disco.
- Un raggio laser colpisce la superficie del disco e viene o riflesso o produce scattering (assorbimento).
- Su CD-ROM è possibile immagazzinare informazione con una densità maggiore rispetto ai dischi magnetici.
- Un CD-ROM può memorizzare più di 650 MB di dati.
- Un DVD (Digital Video Disk) arriva a memorizzare 15.90 Gbyte (DVD-18). Esistono diversi dialetti e diversi formati HW: DVD-R, DVD+R.



R. Gaeta
Informatica di base

- Un disco Blu-Ray (laser blu) arriva a 200 Gbyte ed è il dispositivo oggi più utilizzato.
- La scrittura è più problematica: ripristino della superficie mediante micro-fusion.

Nastri



UNIVAC – I prima Main Memory

Nastri oggi

Data cartridge	Native data capacity
Ultrium 8 and WORM	12 TB (30 TB at a 2.5:1 compression ratio)
Ultrium 7 M8 Format (for LTO8 drives only)	9 TB (22.5 TB at a 2.5:1 compression ratio)
Ultrium 7 and WORM	6 TB (15 TB at a 2.5:1 compression ratio)
Ultrium 6 and WORM	2.5 TB (6.250 TB at a 2.5:1 compression ratio)
Ultrium 5 and WORM	1.50 TB (3 TB at a 2:1 compression ratio)
Ultrium 4 and WORM	800 GB (1.6 TB at a 2:1 compression ratio)
Ultrium 3 and WORM	400 GB (800 GB at a 2:1 compression ratio)
Ultrium 2	200 GB (400 GB at a 2:1 compression ratio)
Ultrium 1	100 GB (200 GB at a 2:1 compression ratio)

IBM Corporation, Hewlett-Packard (HP), and Quantum dal 1997

Tape System Library Manager -> up to 3,000 Petabyte of data.

Testine multiple – parità.

Specifiche tecniche

HP StoreEver LTO-6 Ultrium 6250 Tape Drive

Feature	Description
Native	2.5TB
Compressed (assumes 2:1 data compression for LTO-4 and 5; 2.5:1 compression for LTO-6)	6.25TB
Sustained transfer rate, native	160 MB/s
Sustained transfer rate, compressed (assumes 2:1 data compression for LTO-4 and 5; 2.5:1 compression for LTO-6)	400 MB/s
Burst transfer rate	600 MB/s with 6 Gb/s SAS
Data rate matching range	54 - 160 MB/s (native)
Data access time (from BOT)	50 s typical for LTO 6 media
Rewind time from EOT	98 s (2.5TB tape)
Rewind tape speed	9.0 m/s
Average load time	24 s
Average unload time	19 s

Comparable to SSD

Caratteristiche dei nastri e dei DVD

Stesse proprietà dei CD-ROM su quantità di dati molto maggiori.

- Memoria permanente
- Memoria removibile (to be stored in a safe place)
- Scalabile (è sufficiente aggiungere nastri, non è necessario aggiungere unità)
- Portatile
- Veloci (700 Mbit / s – senza seek time)
- Affidabili (codici di parità, ….)
- Basso impatto (basso consume di corrente).

Caratteristiche della memoria

Posizione della memoria:

- Processore
- Interna (cache)
- Esterna (cache + Memoria Principale)
- Disco

Metodo di accesso:

- Sequenziale (e.g. Nastri).
- Diretto (posizionamento + attesa, e.g. Dischi).
- Random Access (circuito di lettura / scrittura HW,tempo indipendente dalla posizione e dalla storia, e.g. Cache e Memoria principale).
- Associativa (Random Access, il contenuto viene recuperato a partire da un sottoinsieme incompleto dello stesso).

Caratteristiche fisiche:

- Nelle memorie volatili (E.g. Cache), l'informazione sparisce quando si toglie l'alimentatore (memorie a semiconduttore).
- Nelle memorie non-volatili, l'informazione è duratura (un emepio di memoria volatile è la memoria magnetica dei dischi e dei nastri). Esistono memorie a semiconduttore non-volatili (ROM).

Sommario

Gestione della memoria

I codici di errore

Gli altri dispositivi di memoria