


Interrupt ed Eccezioni

Prof. Alberto Borghese
Dipartimento di Informatica
alberto.borghese@unimi.it

Università degli Studi di Milano

Riferimento al Patterson, versione 5: 4.9 e A.7

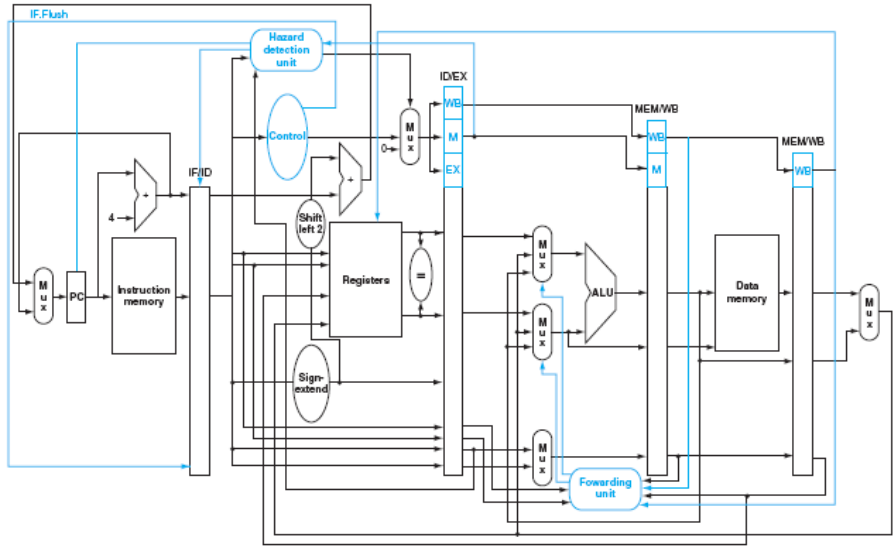

Sommario

Interrupt ed eccezioni

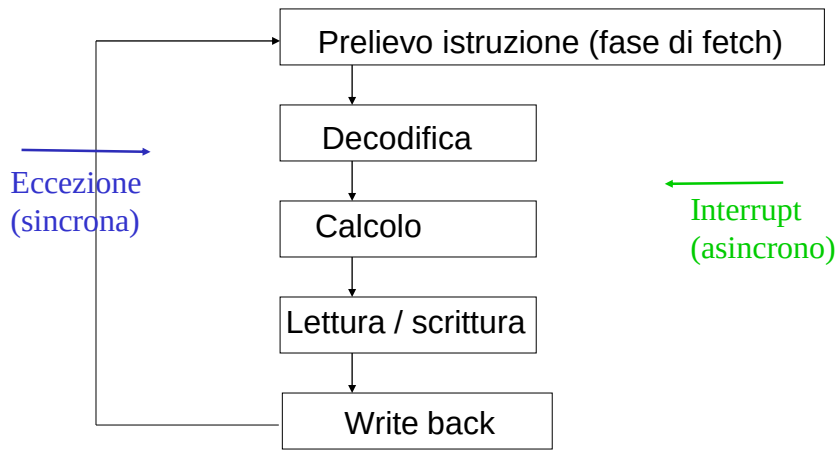
HW per la gestione delle interruzioni: modifica della CPU

SW per la gestione delle interruzioni: esempio di procedura di risposta

CPU con pipeline



Ciclo di esecuzione di un'istruzione



Hazard sul controllo: alterano il "normale" flusso delle istruzioni

Eccezioni ed Interrput

Eccezioni. Generamente internamente al processore (e.g. overflow), modificano ***immediatamente*** il flusso di esecuzione di un'istruzione.

Interrupt. Generate esternamente al processore, asincrono (e.g. richiesta di attenzione da parte di una periferica). Viene ***generalmente atteso il termine del ciclo di esecuzione di un'istruzione prima di servirlo***.

Tipo di evento	*Provenienza*	*Terminologia MIPS*
Richiesta di un dispositivo di I/O	Esterna	Interrupt
Chiamata al SO da parte di un programma	Interna	Eccezione
Overflow aritmetico	Interna	Eccezione
Uso di un'istruzione non definita	Interna	Eccezione
Malfunzionamento dell'hardware	Entrambe	Eccezione o Interruzione

Tipo di risposta ad un'eccezione

E' software (Sistema Operativo)

Occorre il supporto dell'hardware

Occorre un coordinamento tra
SW (Sistema Operativo) e
HW (struttura della CPU)

2 tipi di risposte

*Risposta vettorizzata: C*iascuna eccezione rimanda ad un indirizzo diverso del SO. Gli indirizzi sono spaziati equamente. Dall'eccezione si ricava l'indirizzo della prima istruzone di risposta e quindi implicitamente la causa (cf. Jump Allocation Table).

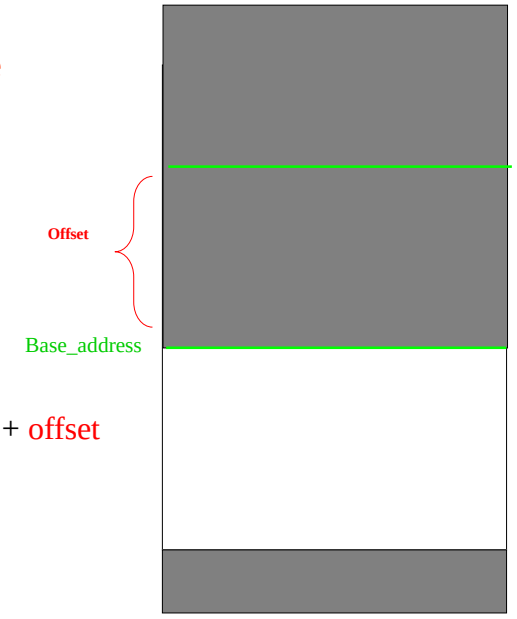
Tramite registro: detto registro **causa**. Il SO ha un unico entry point per la gestione delle eccezioni (in MIPS 0x8000 0180 > 2Gbyte + 384 Byte). La causa dell'eccezione viene memorizzata in MIPS nel registro **causa**. La prima istruzione è di decodifica della causa dell'eccezione andando a leggere il registro causa (le eccezioni sulla memoria rimandano all'indirizzo 0x800 000 = 2 Gbyte)

Interrupt vettorizzati

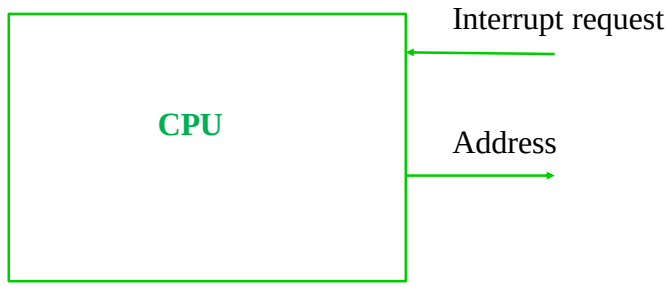
Offset = #_interrupt * space

Jump address table

Address_final = Base_address + offset



Intel: real mode (8088)



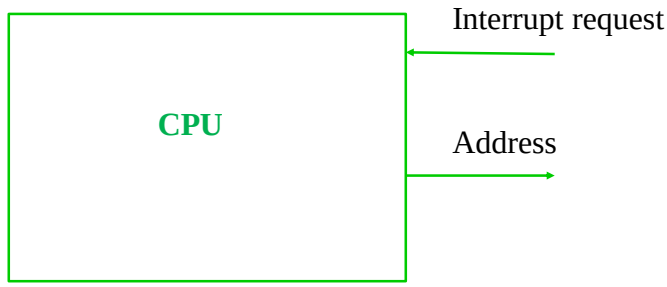
- IVT – Interrupt Vector Table (1KByte – 0x0000 a 0x0400, base address = 0)
- 256 interrupt diversi (primi 32 riservati a eccezioni del processore)
- A ciascuna eccezione viene associate un gruppo di 4 Byte (CS:IP)

Salto a CS:IP comandato dall'hardware.

Interrupt in Protected Mod

INT_NUM	Short Description
0x00	Division by zero
0x01	Single-step interrupt (see trap flag)
0x02	NMI
0x03	Breakpoint (callable by the special 1-byte instruction 0xCC, used by debuggers)
0x04	Overflow
0x05	Bounds
0x06	Invalid Opcode
0x07	Coprocessor not available
0x08	Double fault
0x09	Coprocessor Segment Overrun *(386 or earlier only)*
0x0A	Invalid Task State Segment
0x0B	Segment not present
0x0C	Stack Fault
0x0D	General protection fault
0x0E	Page fault (Virtual Memory)
0x0F	*reserved*
0x10	Math Fault
0x11	Alignment Check
0x12	Machine Check
0x13	SIMD Floating-Point Exception
0x14	Virtualization Exception
0x15	Control Protection Exception

Intel: protected mode



- IVT – Interrupt Vector Table (2KByte – 0x0000 a 0x800, base address contained in IDTR register)
- 256 interrupt diversi.
- A ciascun interrupt viene associate un blocco di 8 Byte che rappresenta l'indirizzo di un segmento (LDT, GDT (global description table)) + un offset di segmento.

Sommario

Interrupt ed eccezioni

HW per la gestione delle interruzioni: modifica della CPU

SW per la gestione delle interruzioni: esempio di procedura di risposta

I registri coinvolti

Nel MIPS un register file secondario, il coprocessore 0, salva le informazioni richieste

Nome del registro	Numero del registro in coprocessore 0	Utilizzo
BadVAddr	8	Registro contenente l'indirizzo di memoria a cui si è fatto riferimento (cf. "page fault").
Count	9	Timer (MIPS: 10ms).
Compare	11	Valore da comparare con un timer.
Status	12	Maschera delle interruzioni e bit di abilitazione. Stato dei diversi livelli di priorità (6 HW e 2 SW).
Cause	13	Tipo dell'interruzione e bit delle interruzioni pendenti
EPC	14	Registro contenente l'indirizzo dell'istruzione che ha causato l'interruzione.
Config	16	Configurazione della macchina

Insieme di registri a 32 bit denominato coprocessore 0.

Alcuni interrupt ed eccezioni

Counter. Quando viene raggiunto il valore 0 di conteggio viene lanciato un interrupt HW.

Memory access error (lettura/scrittura memoria, trasferimento dati). L'indirizzo incriminato viene salvato nel registro BadVAddr e viene lanciata un'eccezione.

Nome del registro	Numero del registro in coprocessore 0	Utilizzo
BadVAddr	8	Registro contenente l'indirizzo di memoria a cui si è fatto riferimento (cf. "page fault").
Count	9	Timer (MIPS: 10ms).
Compare	11	Valore da comparare con un timer.
Status	12	Maschera delle interruzioni e bit di abilitazione. Stato dei diversi livelli di priorità (6 HW e 2 SW).
Cause	13	Tipo dell'interruzione e bit delle interruzioni pendenti
EPC	14	Registro contenente l'indirizzo dell'istruzione che ha causato l'interruzione.
Config	16	Configurazione della macchina

Gestione HW di un'eccezione (mediante registro)

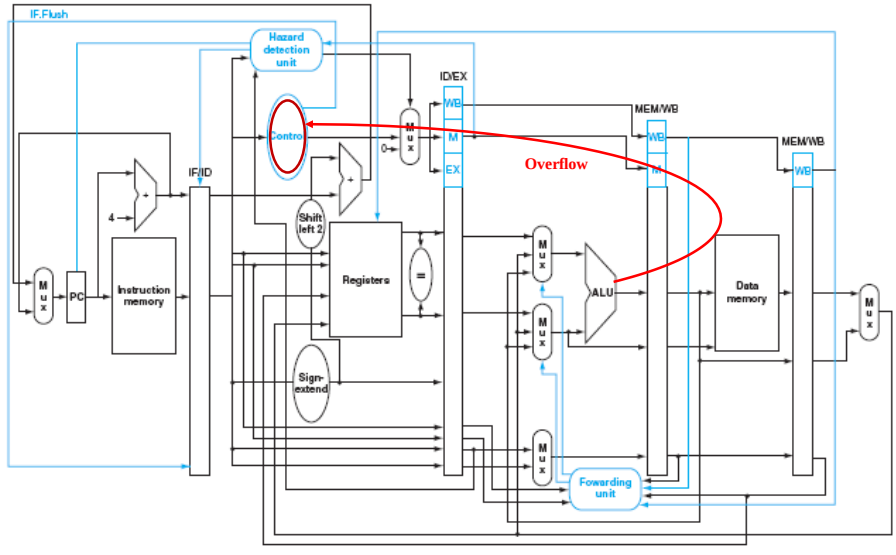
1) Identificazione (e.g. overflow, istruzione non valida)

2a) Salvataggio dell'inidirizzo dell'istruzione incriminate (**registro EPC**) e scrittura della causa dell'eccezione nel registro **causa**.

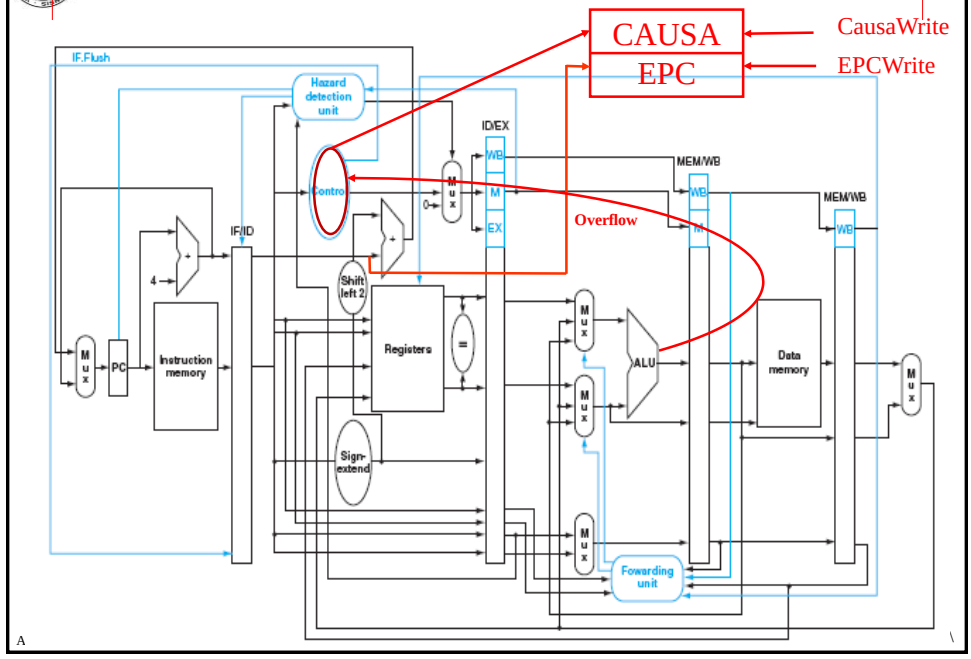
2b) Trasferimento del controllo (valore del PC) alla prima istruzione del programma di risposta alle eccezioni (***exception handler***): offerta di servizi, modifica operandi, terminazione del programma…).

3) Ritorno all'istruzione che ha causato l'eccezione o all'istruzione successive.

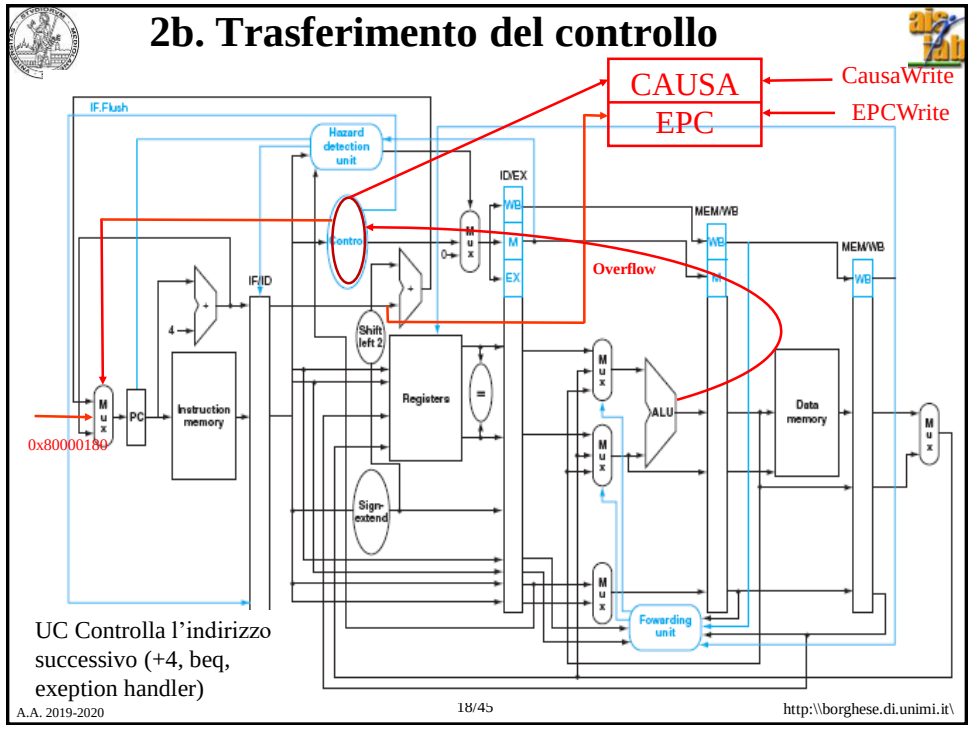
1. Identificazione eccezione Ovf



2a. Salvataggio del PC e scrittura in CAUSA

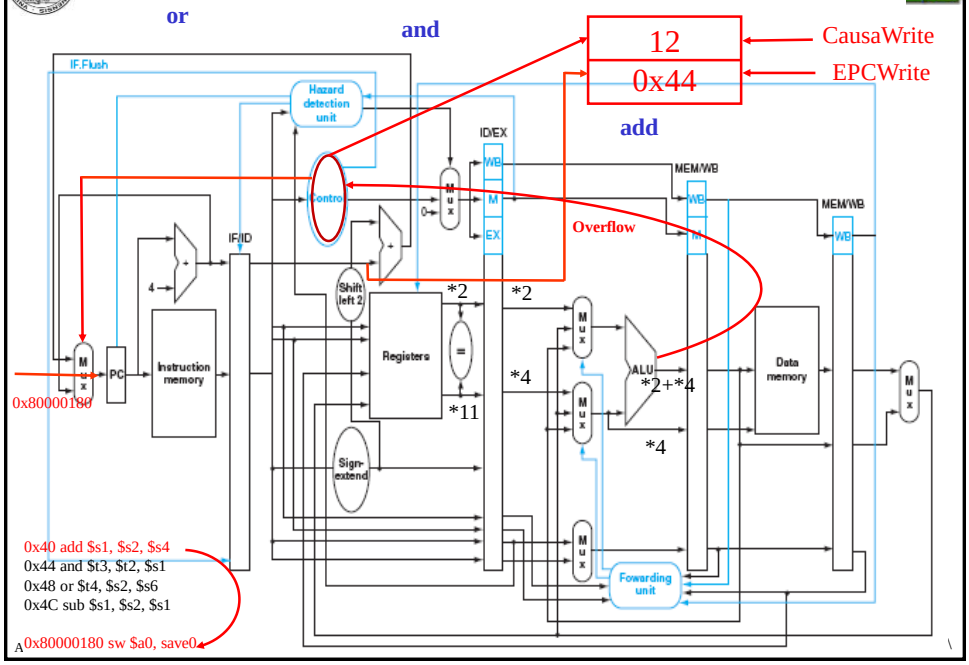


2b. Trasferimento del controllo



UC Controlla l'indirizzo successivo (+4, beq, exeption handler)

Esempio



Strategie di gestione dell'eccezione Ovf

Le eccezioni vengono trattate come una forma di hazard sul controllo.

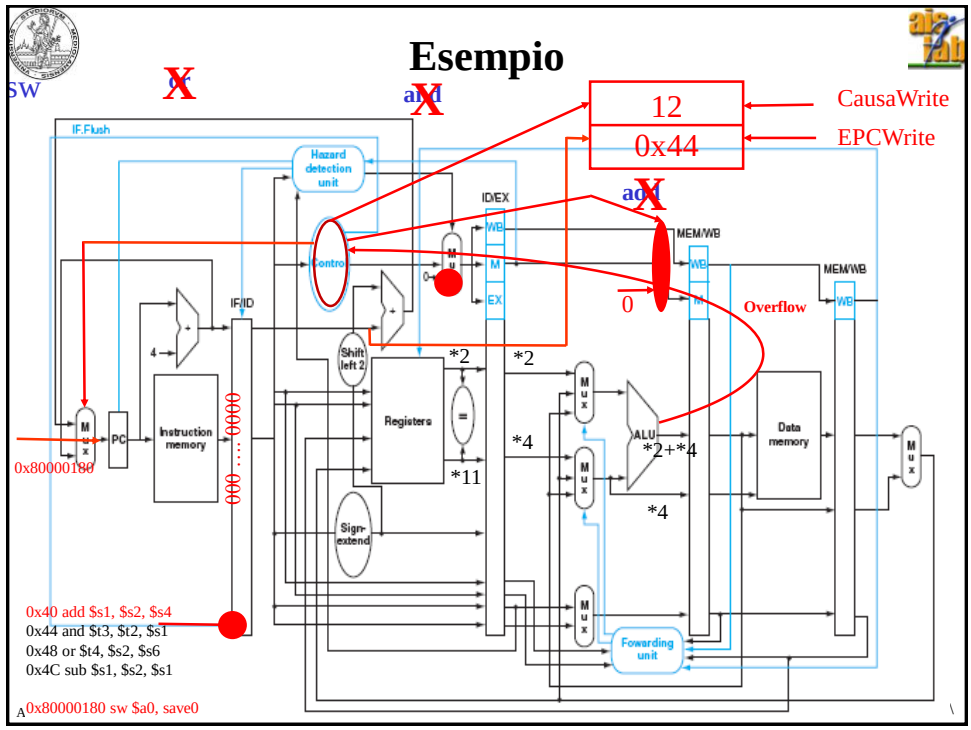
Nel caso si verifichi un'eccezione nella fase di calcolo (overflow ad esempio di add $s1, $s2, $s4) occorre :

a. fare il **flush** delle istruzioni già nella pipeline (compresa la add)
b. caricare l'indirizzo dell'entry point del programma di gestione delle eccezioni.

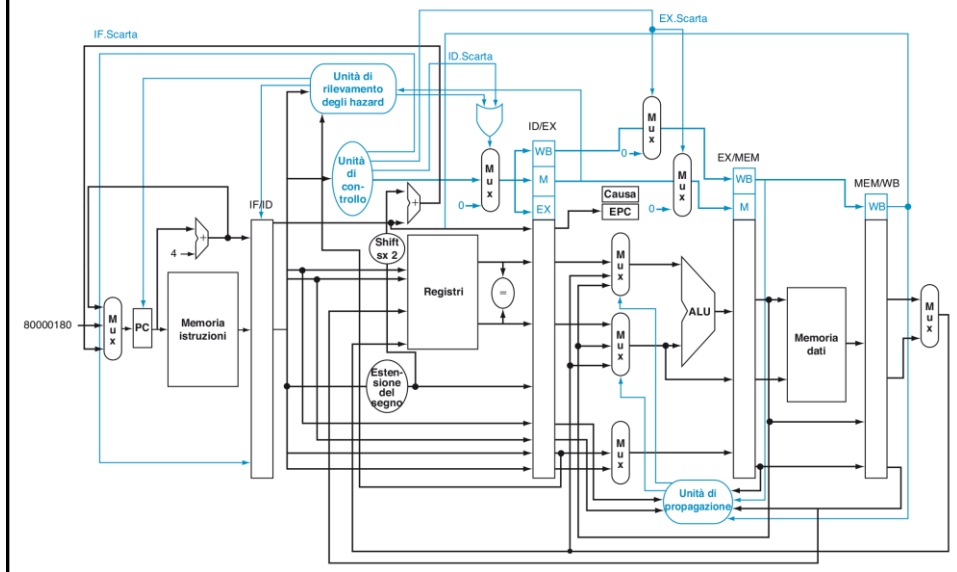
Flush delle istruzioni in:

Fase di fetch
Fase di decodifica
Fase di calcolo della add (non deve scrivere il risultato = overflow)

Esempio



Schema finale CPU



Hardware addizionale

Gestione delle eccezioni di:

- Istruzione non valida (causa = 13; trap)
- Overflow (causa = 12)

Registro EPC ($14): è un registro a 32 bit utilizzato per memorizzare l'indirizzo dell'istruzione coinvolta (in coprocessore 0)

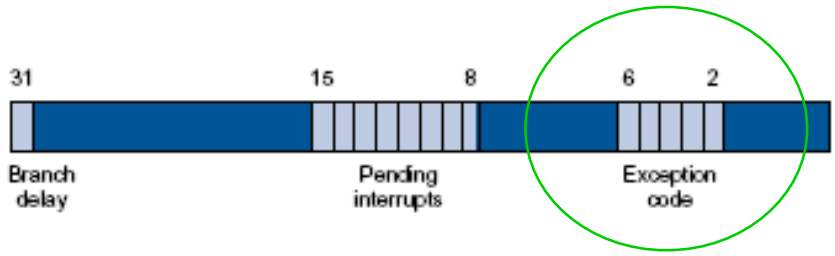
Registro causa ($13): è un registro utilizzato per memorizzare la causa dell'eccezione; in MIPS sono 32 bit. 5 bit servono per definire la causa dell'eccezione (in coprocessore 0):
- Registro causa = 12 -> istruzione indefinita.
- Registro causa = 13-> 1 overflow aritmetico.

Segnali di controllo (dalla UC):

CausaWrite – scrittura nel registro Causa.
CausaInt – Dato per il registro Causa.
PCSrc – Aggiunta di un terzo input al PC per la scelta dell'indirizzo istruzione risposta alle eccezioni.

Modifiche ai registri di pipeline

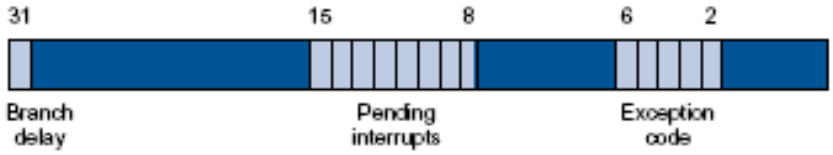
Cause register



int

Number	Name	Cause of exception
0	Int	interrupt (hardware)
4	AdEL	address error exception (load or instruction fetch)
5	AdES	address error exception (store)
6	IBE	bus error on instruction fetch
7	DBE	bus error on data load or store
8	Sys	syscall exception
9	Bp	breakpoint exception
10	RI	reserved instruction exception
11	CpU	coprocessor unimplemented
12	Ov	arithmetic overflow exception
13	Tr	trap
15	FPE	floating point

Cause register



Branch delay bit: è 1 se l'ultima eccezione si è verificata in fase di fetch di un'istruzione inserita in un "branch delay slot". In questo caso l'indirizzo dell'istruzione successiva dovrà essere PC+4 (indirizzo della beq) e non l'indirizzo di destinazione del salto.

Interrupt multipli

Interrupt accodati (gestiti come FIFO).
Interrupt annidati (gestiti come LIFO).

Cosa suggerite di utilizzare per interrupt esterni?
Cosa suggerite di utilizzare per interrupt interni?

Come gestire la coda delle interruzioni?

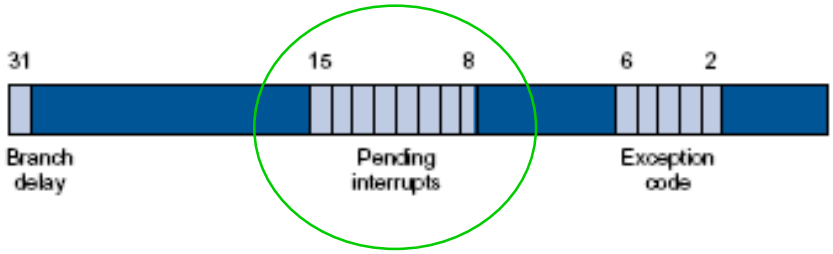
La soluzione è quella di fermare l'esecuzione di interrupt quando occorre servire un interrupt più importante (a priorità più elevata).

Meccanismi di gestione di interrupt multipli:

Maschere di interrupt. La maschera di interrupt è una sequenza di bit in cui ogni bit corrisponde ad un livello di interrupt. Gli interrupt di un certo livello possono essere serviti solo se il corrispondente bit della maschera vale 1.

Piorità di interrupt. Ad ogni tipo di interrupt viene associata una priorità, una priorità è anche associata ai vari ***stati del processore***.

Registro causa e interrupt multipli



Multiple exceptions. Possono esserci più eccezioni nello stesso ciclo di clock. Nel MIPS la **prima istruzione** in ordine temporale viene interrotta. Il codice dell'eccezione riguarda la prima istruzione.

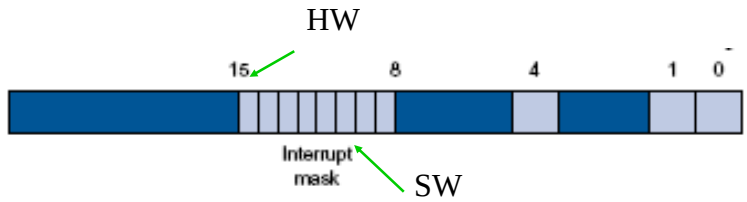
Pending interrupts. Diventano 1 quando un interrupt HW o SW viene richiesto a quel certo livello.

Gli interrupt vengono registrati tra i pending interrupt e serviti secondo la loro priorità.

Status register – maschera di interrupt

Registra **lo stato della CPU** nei confronti di interrupt / eccezioni

Interrupt mask, memorizzata nei bit 8-15 dello **status register**. Sono infatti previsti 8 diversi livelli di interrupt (6 interrupt hw e 2 sw).
Il bit 8 della maschera di interrupt è relativo all'interrupt sw di livello 0, il bit 10 a quello hw di livello 2 e così via.
Un bit a 1 nella maschera di interrupt significa che gli interrupt a quel livello sono abilitati.
Quando arriva un interrupt imposta a 1 il bit corrispondente del registro causa. Verrà servito quando l'equivalente bit della maschera di stato è impostato a 1.
Vengono disabilitati ad esempio quando bit a priorità più elevata va in esecuzione (mascheramento).



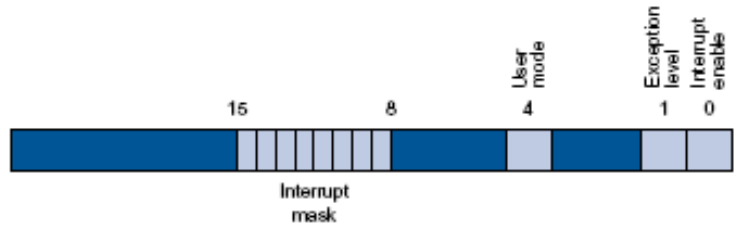
Status register - II

User Mode, abilita il Kernel mode (=0).

Exception level bit. Quando si verifica un'eccezione viene impostato ad uno, disabilitando così gli interrupt veri e propri.

Interrupt enable bit. E' set ad 1 quando le interruzioni sono consentite (la CPU "sente" gli interrupt).

I bit 0 e 1 abilitano gli interrupt esterni.



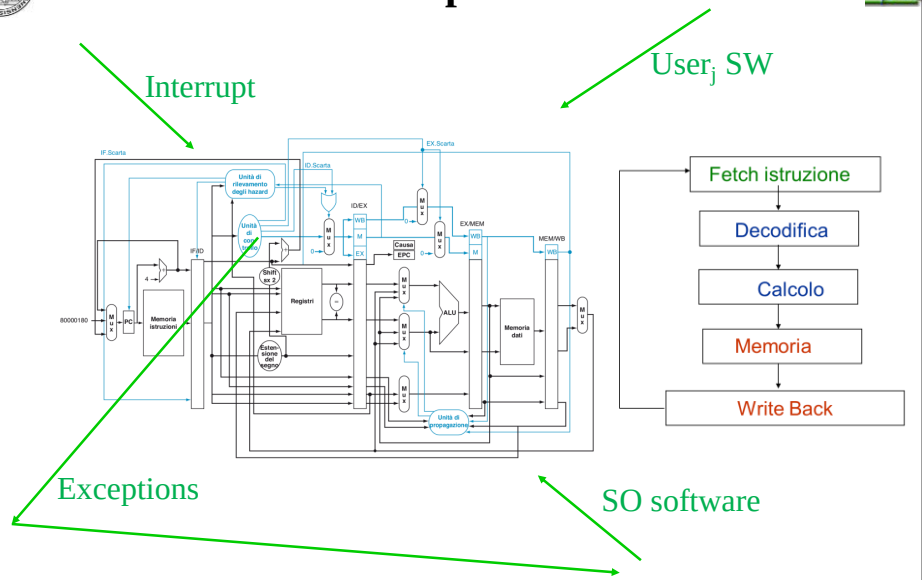
Sommario

Interrupt ed eccezioni

HW per la gestione delle interruzioni: modifica della CPU con pipeline

SW per la gestione delle interruzioni: esempio di procedura di risposta

La situazione per la CPU



Come accedere ai registri del Coprocessore 0

Nome del registro	Numero del registro in coprocessore 0	Utilizzo
BadVAddr	8	Registro contenente l'indirizzo di memoria a cui si è fatto riferimento (cf. "page fault").
Count	9	Timer (MIPS: 10ms).
Compare	11	Valore da comparare con un timer.
Status	12	Maschera delle interruzioni e bit di abilitazione. Stato dei diversi livelli di priorità (6 HW e 2 SW).
Cause	13	Tipo dell'interruzione e bit delle interruzioni pendenti
EPC	14	Registro contenente l'indirizzo dell'istruzione che ha causato l'interruzione.
Config	16	Configurazione della macchina

```
mfc0 $k0, $13        # copia il contenuto di "Causa" in $s0
mtc0 $k1, $14        # copia il contenuto di $s1 in "EPC"
```

La CPU non conosce nessuna semantica sui registri del coprocessore 0 come non la conosce sui registri del register file.

Come rispondere a un'eccezione

Ruolo dell'HW. Fermare l'esecuzione e salvare alcune informazioni in coprocessore 0

Ruolo del SW. Recuperare queste informazioni e prendere i provvedimenti opportuni.

La gestione degli interrupt e delle eccezioni deve essere coordinata tra SW e HW-

Il SW, a seconda della situazione può eseguire alcune azioni oppure terminare il processo (o il sistema – schermata blu), cioè inserire nel PC la prima istruzione di un altro processo, eventualmente sopseso (e in coda) e non tornare al PC salvato.

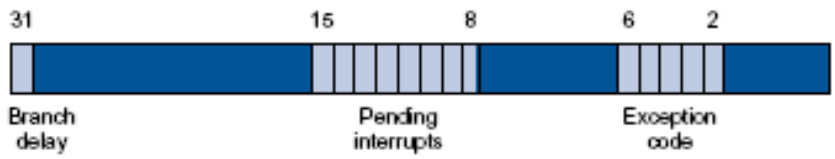
La sequenza logica di un "exception handler" (alcune operazioni svolte dall'HW altre devono essere svolte dal SW):

1. Salvare lo "stato": registri importanti + PC
2. Rispondere all'eccezione
3. Ripristinare lo "stato".

2. Risposta all'eccezione (core)

Supponiamo che venga semplicemente stampata a schermo la causa dell'eccezione e poi il programma possa riprendere.

a. Leggo i registri causa ed EPC dal coprocessore 0
b. Estraggo la causa dell'eccezione dal registro causa
c. Se l'eccezione è un intrrupt (causa = 0), termino
d. Stampare la causa dell'eccezione e l'indirizzo (schermata blu)



2. Risposta all'eccezione (core) - I

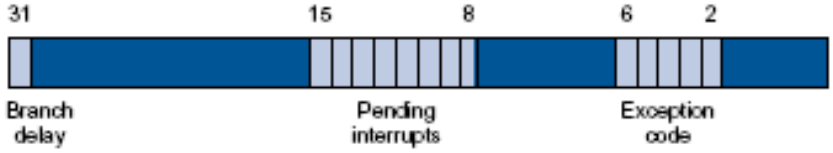
Supponiamo che venga semplicemente stampata a schermo la causa dell'eccezione e poi il programma possa riprendere.

a. Leggo i registry causa ed EPC dal coprocessore 0

```
mfco $k0, $13 # read from co0 cause register
mfco $a1, $14 # read from co0 EPC
```

b. Estraggo la causa dell'eccezione dal registro causa

```
srl $a0, $k0, 2      # estraggo i bit 2:31 dal registro causa e li allineo a 0
andi $a0, $a0, 0x1f # estraggo i bit 0:5 dai bit di $a0 (maschera = 31)
```



2. Risposta all'eccezione (core) - I

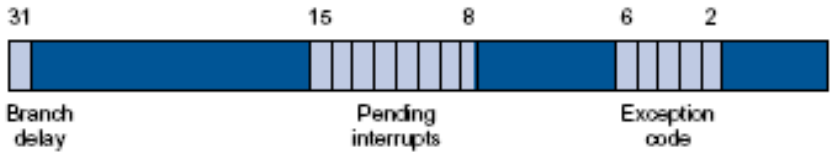
c. Se l'eccezione è un intrrupt (causa = 0), termino

Number	Name	Cause of exception
0	Int	interrupt (hardware)
4	AdEL	address error exception (load or instruction fetch)

```
beq $a0, $zero, dopo          # se causa = 0, nothing to do
```

d. Stampare la causa dell'eccezione e l'indirizzo (schermata blu) o qualsiasi azione sia richiesta per risolvere l'eccezione.

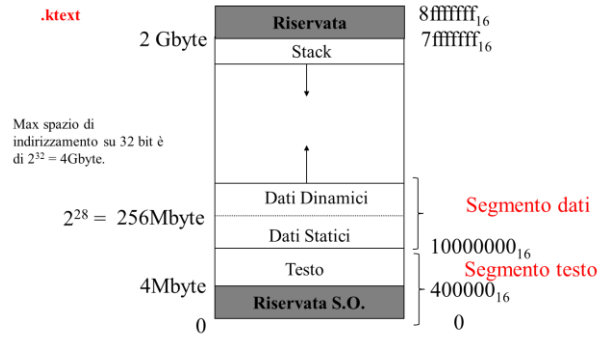
```
jal print_exception           # causa in $a0, EPC in $a1 (arguments)
```



1. Salvare lo stato

- PC viene salvato in EPC
- L'exception handler deve risidere nella parte riservata al SO (.ktext) e non nel segmento testo (.text).
- I registri $k0, $k1 sono registry temporanei riservati al SO.
- Il register file non viene modificato ad eccezione dei registri $a0, $a1
- $a0, $a1 devono essere salvati in memoria (.kdata e non .data) e non in stack perchè l'eccezione può riguardare proprio l'accesso allo stack!

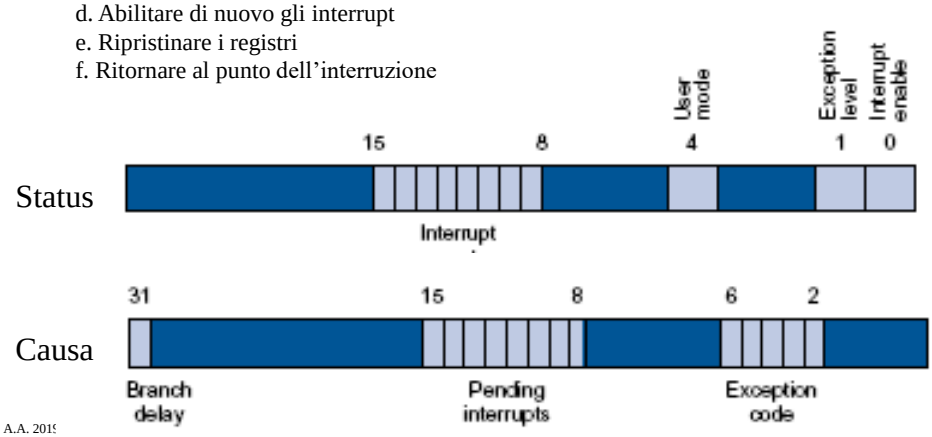
```
.ktext 0x80000180

sw $a0, save0
sw $a1, save1

.kdata
save0: word 0
Save1: word 0
```



3. Ripristinare lo stato

Operazoni da eseguire in sequenza:

a. Caricare l'indirizzo di ritorno (EPC-4) se l'istruzione deve essere rieseguita (e.g. eccezioni dalla memoria)
b. Cancellare il registro causa
c. Cancellare il flag di eccezione nel registro status
d. Abilitare di nuovo gli interrupt
e. Ripristinare i registri
f. Ritornare al punto dell'interruzione



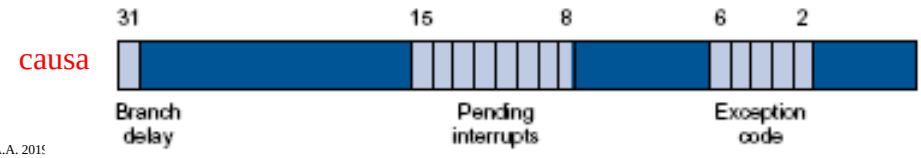
3. Ripristinare lo stato - I

a. Caricare l'indirizzo di ritorno (EPC-4) se l'istruzione deve essere rieseguita

```
done:                           # Si arriva a questo punto dopo avere
                                # risolto il problema sull'eccezione

                                # EPC is trova in $a1
        addiu $k1, $a1, -4      # ricarica l'ultima istruzione
        mtc0 $k1, $14           # aggiorna EPC
```

b. Azzerare il registro causa (ora contenuto in $k0)

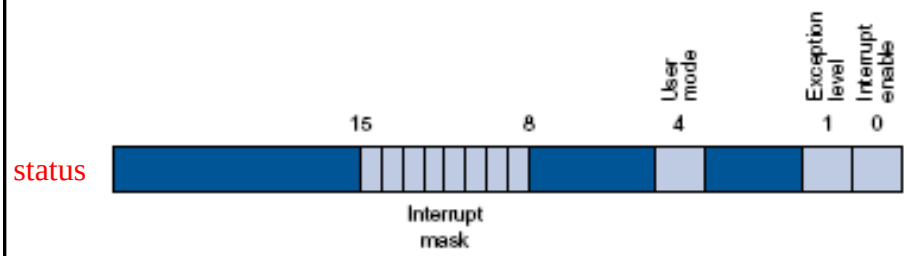
```
addi $k0, $k0, 0xfff8   # azzero i primi 8 bit
mtco $a0, $13           # aggiorna EPC
```



3. Ripristinare lo stato - II

c. Cancellare il flag di eccezione nel registro status
d. Abilitare di nuovo gli interrupt

```
mfco $k0, $12          # read status register
andi $k0, 0xfffd       # clear bit 1 (Exception level), preserve others
andi $k0, $k0, 1       # set bit 0 (Enable interrupt)
mtco $k0, $12
```



3. Ripristinare lo stato - III

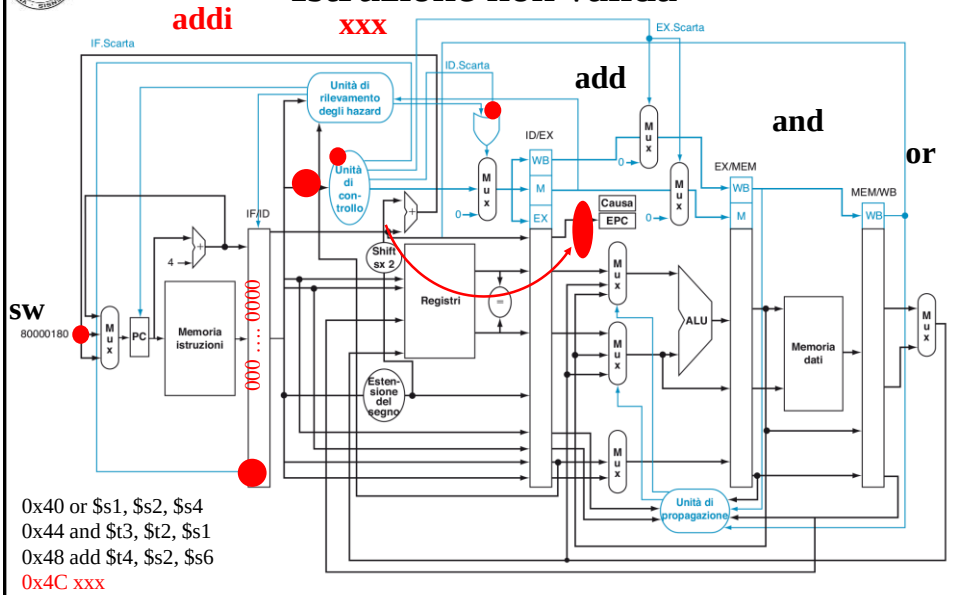
c. Ripristinare i registri

```
lw $a0, save0
lw $a1, save1
```

f. Ritornare al punto dell'interruzione

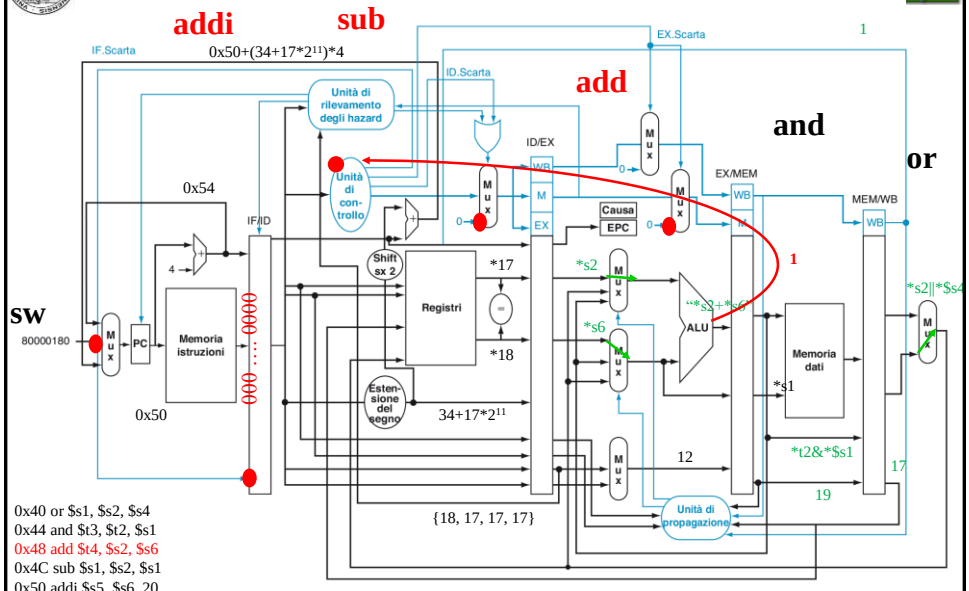
```
eret     #Exception return (EPC -> PC)
```


Istruzione non valida



0x40 or $s1, $s2, $s4
0x44 and $t3, $t2, $s1
0x48 add $t4, $s2, $s6
0x4C xxx
0x50 addi $s5, $s6, 20

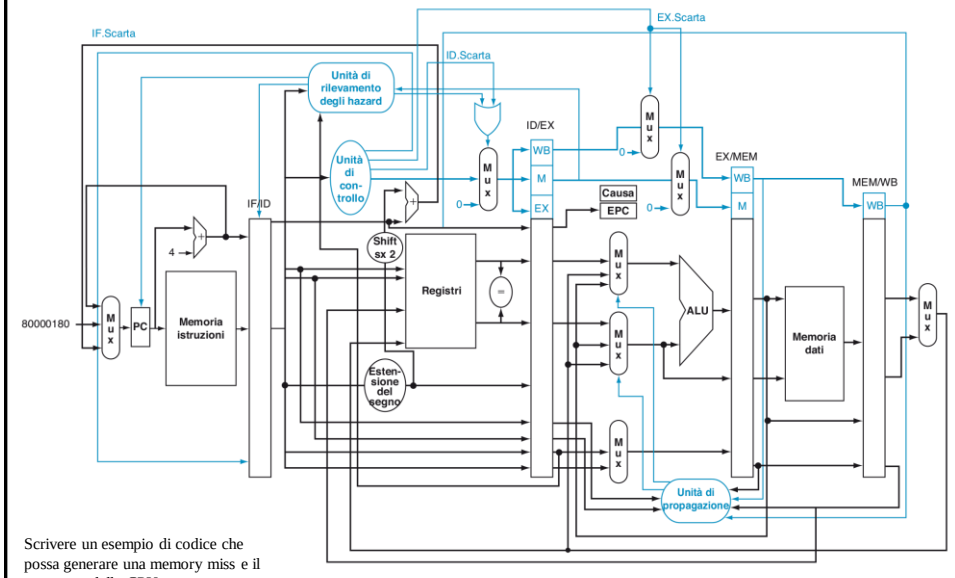
Esempio di esecuzione CPU con overflow in or



0x40 or $s1, $s2, $s4
0x44 and $t3, $t2, $s1
0x48 add $t4, $s2, $s6
0x4C sub $s1, $s2, $s1
0x50 addi $s5, $s6, 20

0x80000180 sw $a0, save0

Modificare la CPU per gestire una memory miss



Scrivere un esempio di codice che possa generare una memory miss e il contenuto della CPU.

Sommario

Interrupt ed eccezioni

HW per la gestione delle interruzioni: modifica della CPU multi-ciclo

SW per la gestione delle interruzioni: esempio di procedura di risposta