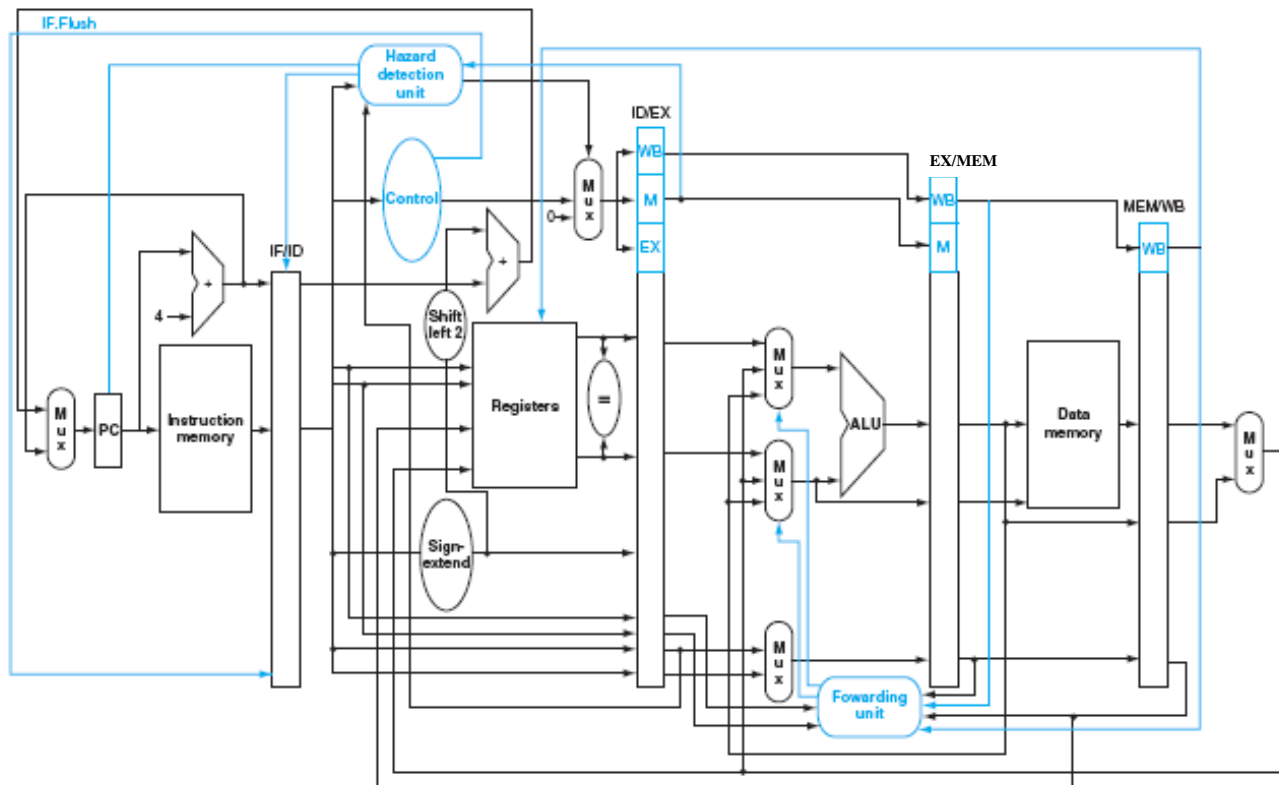


Cognome e nome dello studente:

Matricola:



1. [6] Data la CPU sopra, specificare il contenuto di TUTTE le linee (dati e controllo) quando è in esecuzione il seguente segmento di codice [5]:
`ori $s5, $t2, 100`
`or $t4, $t1, $t1`
`add $t1, $t2, $s5`
`sw $s1, 8($s0)`
`lw $s2, 32($s0)`
 quando l'istruzione di `ori` si trova in fase di WB. Specificare sullo schema (con colore o con tratto grosso) quali linee, all'interno dei diversi stadi, trasportino dati utili all'esecuzione dell'istruzione, riferendosi alla situazione in cui l'istruzione di `ori` è in fase di WB [2].
2. [3] Cos'è un hazard? Quali tipi di hazard vengono identificati? Cos'è uno stallo? Stallo e bolla sono la stessa cosa? Si verificano hazard nell'esecuzione del codice precedente? Motivare la risposta.
3. [6] Cosa sono gli interrupt e le eccezioni? Come vengono gestite dai sistemi operativi? Specificare gli elementi della CPU che sono dedicati alla gestione delle eccezioni e supportano il sistema operativo nel MIPS. Modificare la CPU sopra per potere gestire un'eccezione di "Istruzione non valida". Cosa si intende per mascheramento degli interrupt? Viene praticato nei MIPS?
4. [4] Cosa si intende per Superpipeline e pipeline multiple issue? Cosa sono gli "issue"? Descrivere come funziona una pipeline multiple-issue statica e dinamica. Cosa si intende per: a) "Reservation station", "Register renaming", "Commit unit", "Speculazione", "Flush"? Spiegare i motivi che hanno spinto lo sviluppo delle pipeline in queste direzioni.
5. [6] Cosa si intende per consistenza di una memoria? Cosa si intende per coerenza (di una memoria)? Come si può garantire la coerenza della memoria? Quali sono le tecniche utilizzate nelle architetture mono e multi-processore? Quali sono i problemi? Cos'è il lock?

7. [4] Cosa si intende per parallelismo implicito ed esplicito? Cos'è un cluster? Cos'è un'architettura multi-core? Quali sono le maggiori problematiche per cluster e architetture multi-core? Quali sono i principi su cui è basata un'architettura CUDA? Quali sono i componenti principali? Che tipo di architettura è un'architettura INTEL? Riportare alcune caratteristiche e confrontare alcune istruzioni con l'equivalente MIPS

8 [2] Cosa si intende per arbitraggio? Cosa si arbitra e chi arbitra? Come avviene una transazione su un bus sincrono e su un bus asincrono? Quali sono i segnali importanti e perchè?

9. [5] Cosa rappresenta il "roof model"? Cosa rappresenta l'intensità aritmetica? Si riferisce ad una CPU o ad un particolare programma? Data una CPU quad-core, a 64 bit (dati float su 64 bit) con 4 cammini di calcolo per ciascun core, in ciascuno dei quali vengono elaborati dati a 128 bit. Detta CPU ha un clock di 2GHz. A questa CPU è associato un sistema di memoria che è in grado di sostenere l'elaborazione con un flusso dati dalla memoria alla CPU pari a 2Gbyte /s. Determinare la massima velocità di elaborazione della CPU per 6 diversi programmi benchmark che hanno intensità aritmetica rispettivamente di: 1/2, 1, 4, 8, 16, 32 e determinare se le prestazioni sono limitate dalla memoria o dal calcolo.

10. [1] Cos'è lo SPEC? Cosa misura 1 FLOPS? Quali sono i passi suggeriti per ottimizzare il codice su un'architettura parallela?

Registri del register file

0	zero constant 0	16	s0 callee saves
1	at reserved for assembler	...	(caller can clobber)
2	v0 expression evaluation &	23	s7
3	v1 function results	24	t8 temporary (cont'd)
4	a0 arguments	25	t9
5	a1	26	k0 reserved for OS kernel
6	a2	27	k1
7	a3	28	gp Pointer to global area
8	t0 temporary: caller saves	29	sp Stack pointer
...	(callee can clobber)	30	fp frame pointer (s8)
15	t7	31	ra Return Address (HW)

