

Cognome e nome:

Matricola:

1) [8] Data la CPU N. 1, specificare il contenuto di **tutte le linee** (dati e controllo), quando è in esecuzione il seguente segmento di codice [4]:

0x00000400 and \$s5, \$t2, \$t1

0x00000404 lw \$s1, 8(\$s0)

0x00000408 or \$t4, \$s5, \$s1

0x0000040C addi \$t1, \$s1, 100

0x00000410 sw \$s2, 32(\$t1)

0x00000414 sub \$s2, \$s0, \$s2

quando l'istruzione di and si trova in fase di WB. **Sottolineare quali linee trasportano segnali utili.** Modificare la CPU per gestire anche gli hazard sulle addi.

2. [12] Descrivere come funzionano le seguenti tecniche e dire se sono tecniche principalmente software o hardware e perchè. In alcuni casi la risposta corretta può essere entrambi gli approcci. Identificare quali sono i punti forti ed i punti deboli.

- a) Superpipeline
- b) Predizione dei salti
- c) Branch prediction buffer
- d) Speculazione
- e) Parallelizzazione dell'esecuzione
- f) Parallelizzazione a livello di parola
- g) Parallelismo implicito ed esplicito
- h) Pipeline superscalari
- i) Pipeline dotate di VLIW
- j) Esecuzione fuori ordine
- k) Reservation station
- l) Buffer di riordino
- m) Ridenominazione dei registri
- n) Branch delay slot
- o) Issue
- p) Hazard
- q) Bolla
- r) Stallo
- s) Flush

3. [4] Facendo riferimento alla CPU N.1, spiegare come funziona la Hazard Detection Unit e disegnare almeno una parte del circuito logico implementato in essa.

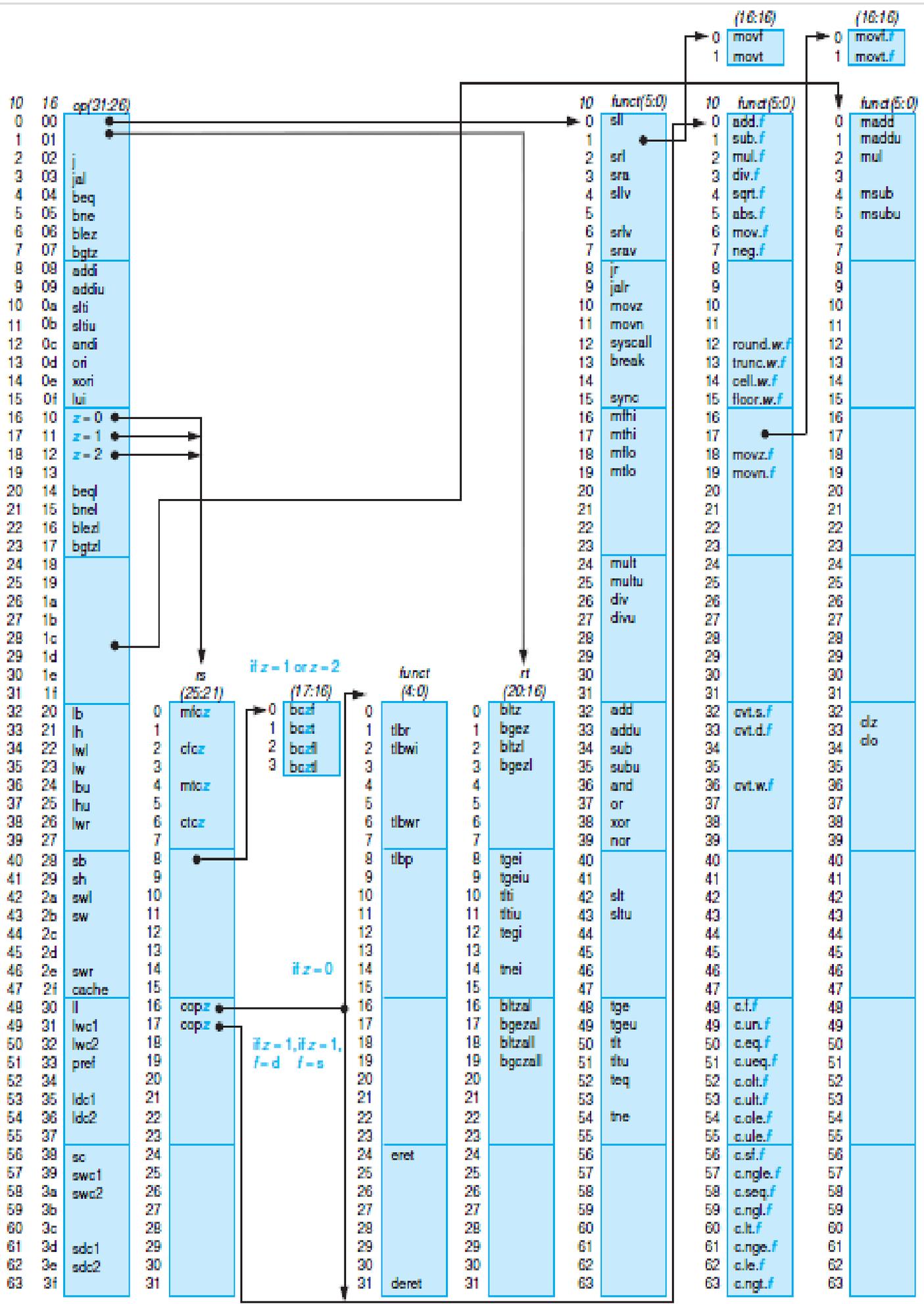
4. [5] Cosa sono gli interrupt e le eccezioni? Come vengono gestite dai sistemi operativi? Specificare gli elementi della CPU che sono dedicati alla gestione delle eccezioni e supportano il sistema operativo nel MIPS. Modificare la CPU sopra per potere gestire un'eccezione di "Istruzione non valida" e indicare linee e componenti coinvolti. Cosa si intende per mascheramento degli interrupt? Viene praticato nei MIPS?

5. [5] Modificare l'unità di controllo della CPU multi-ciclo nello schema N. 2, per potere gestire anche le eccezioni di istruzione non valida e di overflow.

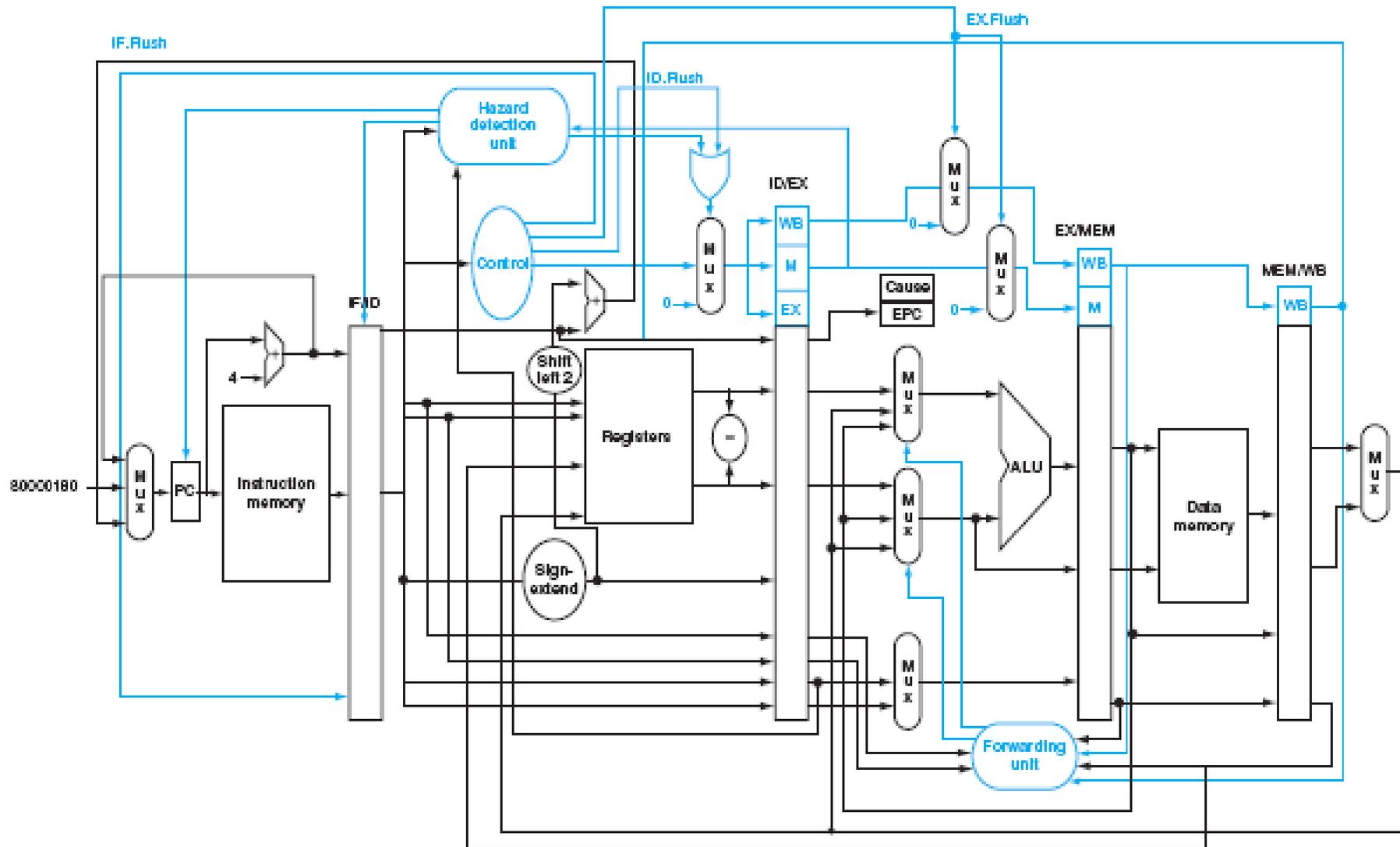
6. [2] Specificare se la pipeline mira a ridurre il throughput o il tempo di esecuzione di un'istruzione e perchè'. Specificare se la CPU multi-ciclo mira a ridurre il throughput o il tempo di esecuzione di un'istruzione e perchè'.

Registri del register file

0	zero	constant 0	16	s0	callee saves
1	at	reserved for assembler	...		(caller can clobber)
2	v0	expression evaluation &	23	s7	
3	v1	function results	24	t8	temporary (cont'd)
4	a0	arguments	25	t9	
5	a1		26	k0	reserved for OS kernel
6	a2		27	k1	
7	a3		28	gp	Pointer to global area
8	t0	temporary: caller saves	29	sp	Stack pointer
...		(callee can clobber)	30	fp	frame pointer (s8)
15	t7		31	ra	Return Address (HW)



CPU N. 1



UC di una CPU Multi-ciclo

