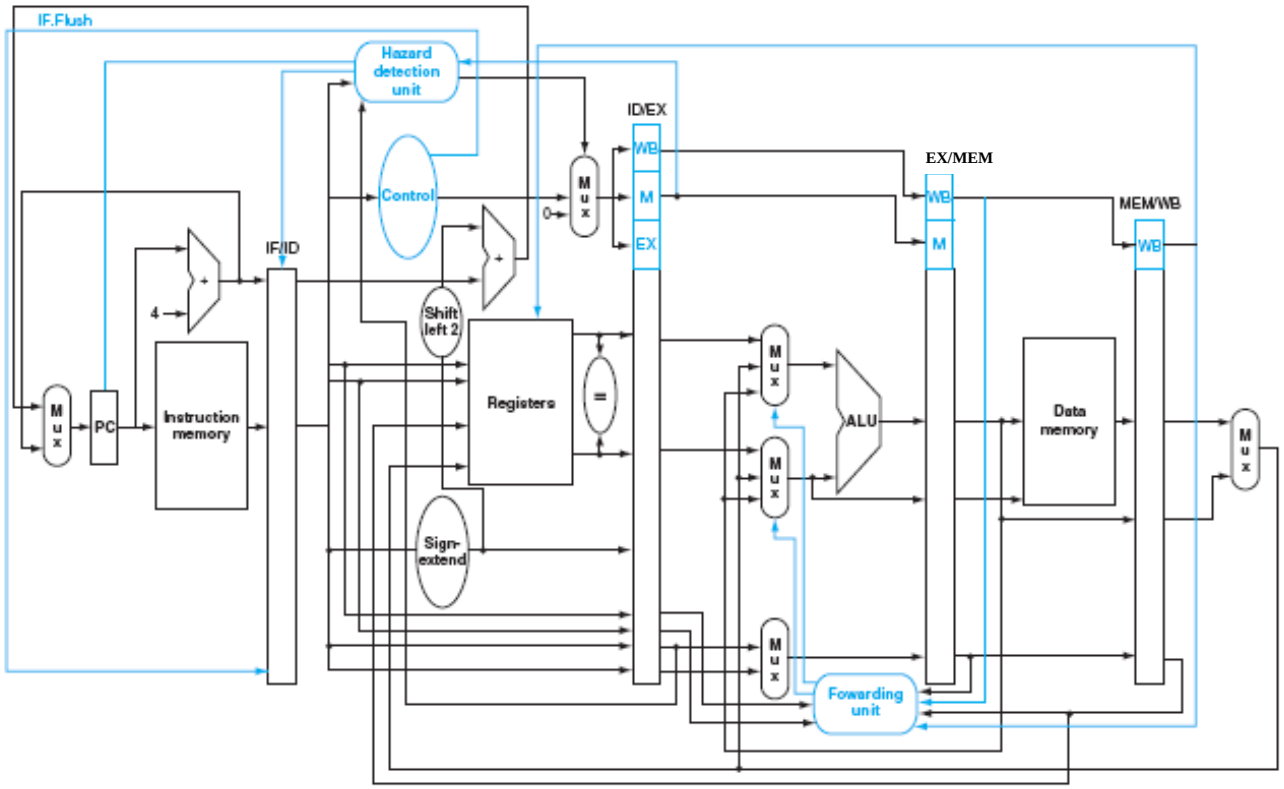
Università degli Studi di Milano - Corso Architettura degli elaboratori e delle reti II – Prof. Borghese – Appello del 28.02.2012

Cognome e nome dello studente: ***Matricola:***



1. [7] Data la CPU sopra, specificare il contenuto di TUTTE le linee (dati e controllo) quando è in esecuzione il seguente segmento di codice [5]:
addi $t3, $t1, 32
sub $t4, $t1, $t1
add $t1, $t2, $t3
lw $t1, 32($s0)
sw $s2, 64($s0)
quando l'istruzione di addi si trova in fase di WB. Specificare sullo schema (con colore o con tratto grosso) quali linee, all'interno dei diversi stadi, trasportino dati e segnali di controllo utili all'esecuzione dell'istruzione, riferendosi alla situazione in cui l'istruzione di addi è in fase di WB [2].

2. [3] Cos'è un hazard? Cos'è uno stallo? Stallo e bolla sono la stessa cosa? Si verificano hazard nell'esecuzione del codice precedene? Motivare la risposta [3].

3. [6] Cosa sono gli interrupt e le eccezioni? Come vengono gestite dai sistemi operativi nelle Architetture INTEL e MIPS? Specificare gli elementi della CPU che sono dedicati alla gestione delle eccezioni e supportano il sistema operativo nel MIPS e modificare la CPU sopra per potere gestire un'eccezione di "Overflow". Cosa si intende per mascheramento degli interrupt? Perchè viene praticato? Viene praticato anche nelle moderne architetture? Viene praticato nei MIPS?

4. [5] Cosa si intende per Superpipeline e pipeline multiple issue? Cosa sono gli "issue"? Descrivere come funziona una pipeline multiple-issue statica e dinamica. Cosa si intende per: a) "Reservation station", "Register renaming", "Commit unit", "Speculazione", "Flush"? Spiegare i motivi che hanno spinto lo sviluppo delle pipeline in queste direzioni. Come può essere gestito uno stallo in una pipeline multiple issue? Come può essere gestito un "flush"?

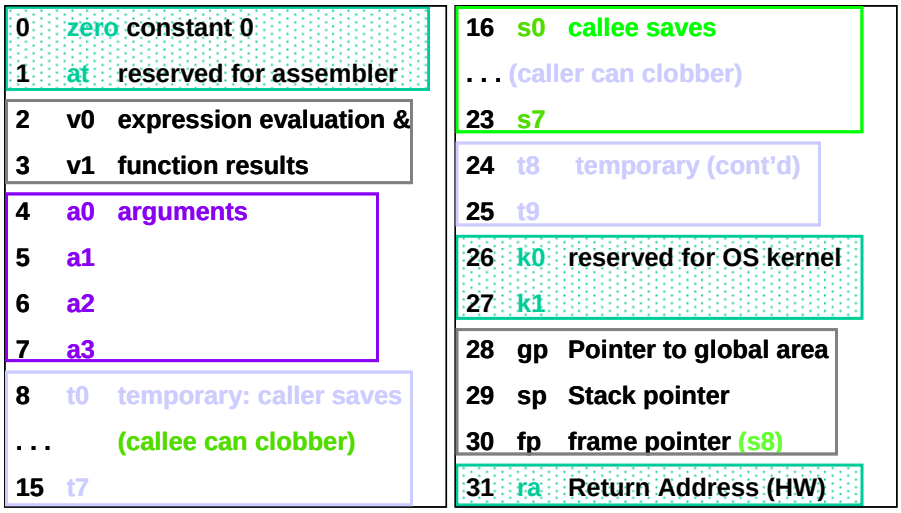
5. [6] Progettare e disegnare una memoria cache a due vie di 1Kbyte per banco. Si supponga che ciascun banco abbia un'ampiezza di 8 parole. Si supponga un'architettura INTEL degli anni 80 a 16 bit. Dimensionare correttamente tutti i campi. Identificare dove viene cercato il dato associato alla seguente istruzione di lettura: lw $t0, 2116($zero) (lettura della parola che inizia all'indirizzo 2116 della memoria principale).

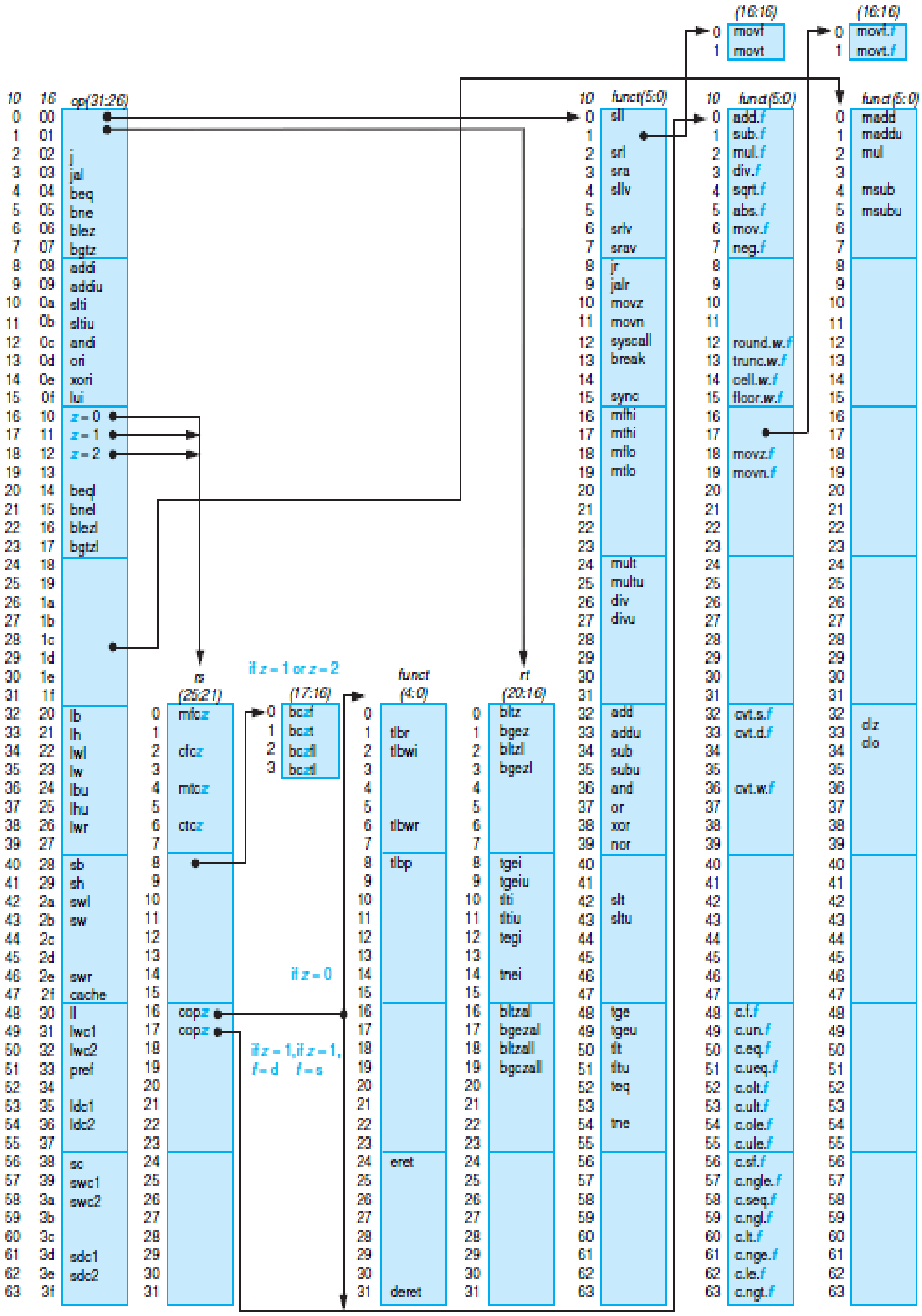
6. [2] Cosa si intende per parallelismo implicito ed esplicito? Cos'è un cluster? Cos'è un'architettura multi-core? Quali sono le maggiori problematiche per cluster e architetture multi-core?

7. [3] Cos'e' un bus e cos'è una transazione sul bus? Quali sono i segnali principali per la gestione di una transazione sul bus? Cosa si intende per arbitraggio? Cosa si arbitra e chi arbitra? Come avviene una transazione su un bus sincrono e su un bus asincrono? Quali sono i segnali importanti e perchè? Disegnare un diagramma temporale dell'evoluzione dei segnali sul bus?

8. [6] Cosa si intende per hit e miss e come vengono gestiti? Cosa si intende per gerarchia di memoria? Cosa si intende per coerenza di una memoria? A quale tipo di memoria si applica? Quali sono i meccanismi messi in atto per garantire la coerenza della memoria? Cosa si intende per consistenza? Che differenza esiste tra una memoria SRAM e una memoria DRAM. Cosa si intende per refresh di una memoria? A quali memorie si applica e perchè? Cosa si intende per interleaving e a cosa serve? A quali tipi di memoria si applica? Cosa si intende per lettura in modalità "burst" dalla memoria e a cosa serve? A quali memorie si applica?

Registri del register file




op(31:26)
rs (25:21)
if z = 1 or z = 2 (17:16)
funct (4:0)
rt (20:16)
funct(5:0)
(16:16)
funct(5:0)
(16:16)
funct(5:0)
if z = 0
if z = 1, if z = 1, f = d f = s