

Corso Architettura degli elaboratori II – Prof. Borghese – Primo Compitino, 12.Giugno.2014

Cognome e nome:

Matricola:

[9] Progettare e disegnare una memoria cache a quattro vie di 0,5 Kbyte per banco. Si supponga che ciascun banco abbia un'ampiezza di 4 parole. Si supponga un'architettura MIPS a 64 bit. Disegnare separatamente la porta di lettura e scrittura. Dimensionare correttamente tutti i campi. Identificare dove viene cercato il dato associato alla seguente istruzione di lettura: lw \$t0, 2120(\$zero) (lettura della parola che inizia all'indirizzo 2120 della memoria principale).

[7] Cosa si intende per hit e miss e come vengono gestiti? Chi li gestisce? Cosa si intende per gerarchia delle memorie? Quali sono i principi in base ai quali viene progettata la cache primaria e secondaria? Cosa si intende per coerenza e consistenza di una memoria? A quale tipo di memoria si applicano? Quali sono i meccanismi messi in atto per garantire la coerenza della memoria nelle architetture mono e multi-processore? Quali sono i vantaggi e svantaggi di ciascun meccanismo?

[3] Cos'è la codifica little e big endian? Cos'è il codice di rilevazione e correzione degli errori? Come funziona? Scrivere i bit del codice di parità di rilevazione di errori e di correzione di errore singolo per la seguente stringa su 8 bit:

0 0 0 1 0 0 1 1.

[4] Cos'è la memoria virtuale? Cos'è il "Translation Lookaside buffer"? Cos'è la Tabella delle pagine? A cosa servono la memoria virtuale, il TLB e la tabella delle pagine? Che relazione c'è tra la memoria virtuale e la memoria fisica? Chi utilizza la memoria virtuale? Chi utilizza la memoria fisica?

[7] Cosa sono i Kernel Benchmark? Quali caratteristiche hanno? Cos'è lo SPEC? Cosa misura 1 FLOPS? Cosa rappresenta il "roof model"? Cosa rappresenta l'intensità aritmetica? Si ricerca ad una CPU o ad un particolare programma? Data una CPU quad-core, con parole a 32 bit (dati float su 32 bit) con 4 cammini di calcolo per ciascun core, in ciascuno cammino vengono elaborati dati a 128 bit. Detta CPU ha un clock di 1GHz. A questa CPU è associato un sistema di memoria che è in grado di sostenere l'elaborazione con un flusso dati dalla memoria alla CPU pari a 4Gbyte /s. Determinare la massima velocità di elaborazione della CPU per 6 diversi programmi benchmark che hanno intensità aritmetica rispettivamente di: 1/2, 1, 4, 8, 16, 32 e determinare se le prestazioni sono limitate dalla memoria o dal calcolo. Quali sono i passi suggeriti per ottimizzare il codice su un'architettura parallela?

[3] Riportare il risultato di compilazione e link del seguente codice costituito da due procedure: A e B, su architettura MIPS 32 bit.

Procedura A:

0 lw \$a0,32(\$gp)

4 jal B

.....

Procedura B:

0 sw \$a1, 0(\$gp)

4 jal A

.....

Sapendo anche che il codice della procedura A è costituito da 1024 istruzioni e quello della procedura B da 256 Istruzioni. Inoltre, la procedura A richiede 128 Byte di dati e la procedura B 256 Byte di dati.

[2] Quali sono le caratteristiche principali delle architetture INTEL? Riportare almeno un esempio di istruzione e confrontarla con la o le istruzioni MIPS equivalenti. Cosa si intende per esecuzione condizionata, implementata nelle architetture ARM?

[2] Cosa si intende per parallelismo implicito ed esplicito? Cos'è un cluster? Cos'è un'architettura multi-core? Quali sono le maggiori problematiche per cluster e architetture multi-core? Cosa si intende per parallelismo a grana fine e a grana grossa?