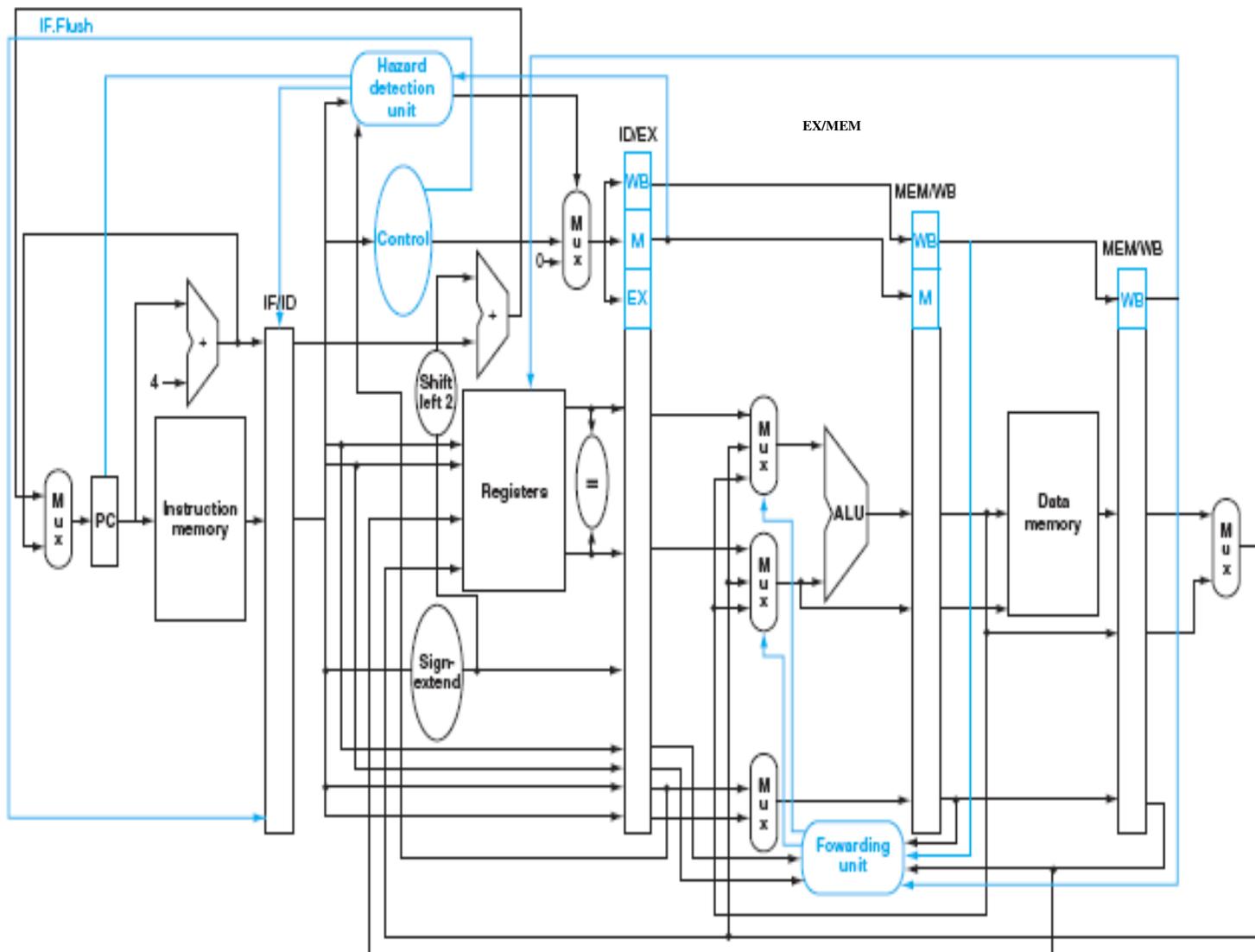


Cognome e nome dello studente:

Matricola:

Versione A



1. [8] Data la CPU sopra, specificare il contenuto di TUTTE le linee (dati e controllo) quando è in esecuzione il seguente segmento di codice [5]:

```
addi $t4, $t1, 24
or $t3, $t2, $t4
and $t1, $t4, $t4
addi $t1, $t3, 128
sw $s2, 20($s0)
```

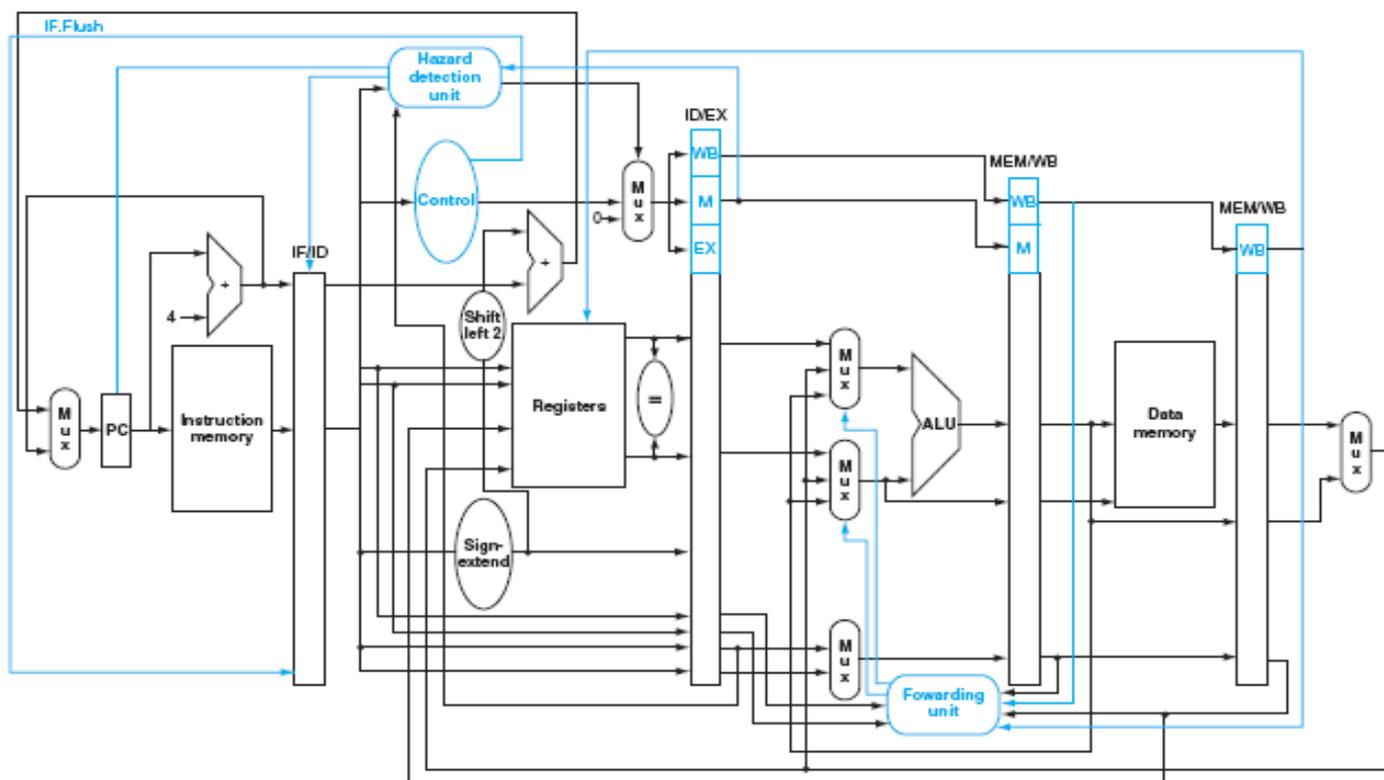
quando l'istruzione addi \$t4, \$t1, 24 si trova in fase di WB. Specificare sullo schema (con colore o con tratto grosso), in questa situazione, quali linee trasportino dati utili all'esecuzione dell'istruzione nello stadio relativo, riferendosi alla situazione in cui l'istruzione di addi è in fase di WB. Sia in questo esercizio che negli esercizi successivi potete modificare / aggiungere componenti allo schema [3].

2. [3] Cos'è un hazard? Cos'è uno stallo? Stallo e bolla sono la stessa cosa? Si verificano hazard nell'esecuzione del codice precedente? Motivare la risposta. Per quali condizioni è prevista la Hazard Detection Unit?

3. [7] Quando si verificano degli hazard sul controllo? Fare un esempio di codice con hazard sul controllo e spiegare come possono essere gestiti da una CPU. Identificare i cammini ed i componenti della CPU, riportata sotto, che consentono di gestire l'hazard sul controllo presente nel frammento di codice riportato qui sotto:

```
addi $t4, $t1, 24
or $t3, $t2, $t4
addi $t1, $t4, 32
beq $t1, $t3, 20
sw $s2, 20($s0)
```

Cosa sono i branch delay slot? Fare un esempio del loro funzionamento. Come funziona un branch prediction buffer a 2 bit? Qual'è il suo ruolo? A cosa serve? Quali tecniche conoscete per limitare l'impatto di un Hazard sul controllo? Cos'è un flush della pipeline? Che differenza c'è tra inserire una bolla ed effettuare il flush di una pipeline?



4. [8] Cosa sono gli interrupt e le eccezioni? Come vengono gestite dai sistemi operativi? Specificare gli elementi della CPU che sono dedicati alla gestione delle eccezioni e supportano il sistema operativo nel MIPS. Modificare la CPU all'inizio del compito per potere gestire un'eccezione di "Overflow". Cosa si intende per mascheramento degli interrupt? Viene praticato nei MIPS? Scrivere il nucleo di codice assembler che utilizza il sistema operativo di un'architettura MIPS per gestire un interrupt o un'eccezione.

5. [4] Cosa si intende per bus? Definire la transazione tipica su un bus sincrono e su un bus asincrono.

6. [6] Il south bridge deve trasferire in memoria da un disco veloce. Quale modalità di collegamento consigliereste? Quali altre modalità di trasferimento conoscete? Quali sono i loro vantaggi e svantaggi? Descrivere la struttura di un disco rigido a supporto magnetico. Quali sono i limiti e i vantaggi? Fate un confronto con le memorie flash. Cosa si intende per arbitraggio? Descrivere almeno due modalità di arbitraggio? Chi arbitra?

Registri del register file

0	zero	constant 0	16	s0	callee saves
1	at	reserved for assembler	... (caller can clobber)		
2	v0	expression evaluation &	23	s7	
3	v1	function results	24	t8	temporary (cont'd)
4	a0	arguments	25	t9	
5	a1		26	k0	reserved for OS kernel
6	a2		27	k1	
7	a3		28	gp	Pointer to global area
8	t0	temporary: caller saves	29	sp	Stack pointer
...		(callee can clobber)	30	fp	frame pointer (s8)
15	t7		31	ra	Return Address (HW)

