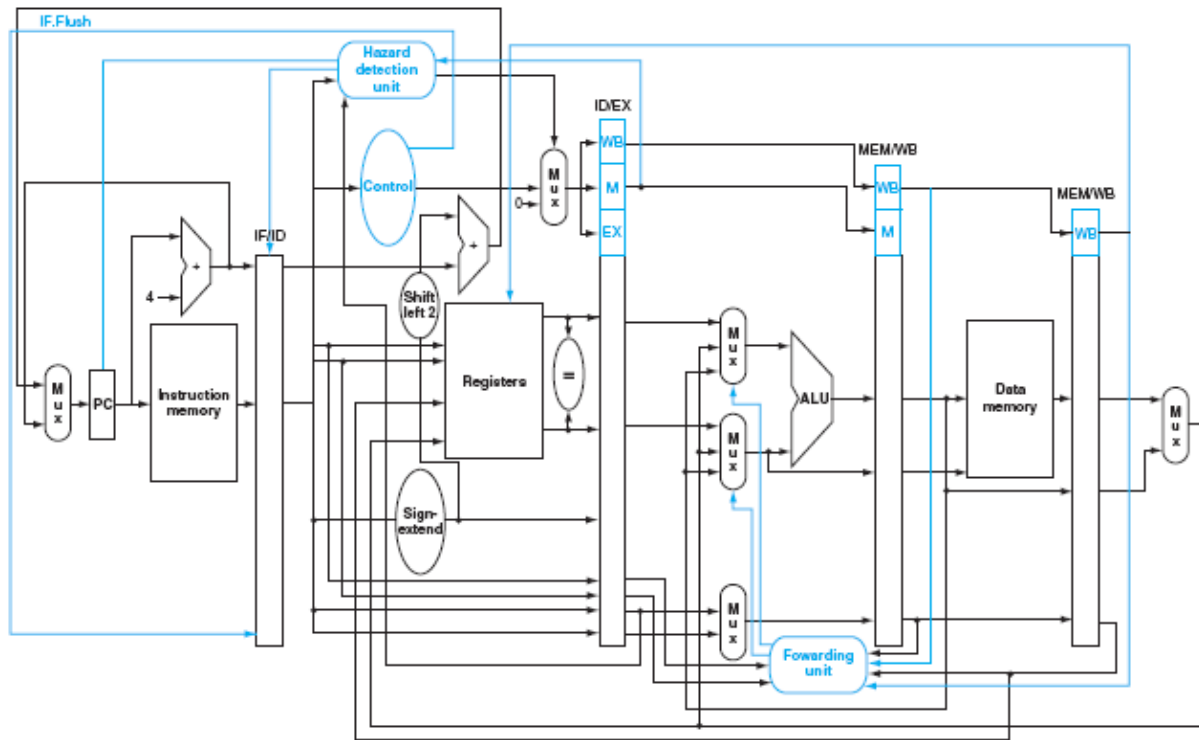


Cognome e nome dello studente:

Matricola:



1. [7] Data la CPU sopra, specificare il contenuto di TUTTE le linee (dati e controllo) quando è in esecuzione il seguente segmento di codice [5]:

```
addi $t3, $t1, 24
and $t4, $t1, $t1
add $t1, $t2, $t3
lw $t1, 32($s0)
sw $s2, 64($s0)
```

quando l'istruzione di addi si trova in fase di WB. Specificare sullo schema (con colore o con tratto grosso) quali linee, all'interno dei diversi stadi, trasportino dati e segnali di controllo utili all'esecuzione dell'istruzione, riferendosi alla situazione in cui l'istruzione di add è in fase di WB [2].

2. [3] Cos'è un hazard? Cos'è uno stallo? Stallo e bolla sono la stessa cosa? Si verificano hazard nell'esecuzione del codice precedente? Motivare la risposta [3].

3. [6] Cosa sono gli interrupt e le eccezioni? Come vengono gestite dai sistemi operativi? Specificare gli elementi della CPU che sono dedicati alla gestione delle eccezioni e supportano il sistema operativo nel MIPS e modificare la CPU sopra per potere gestire un'eccezione di "Overflow". Cosa si intende per mascheramento degli interrupt? Viene praticato nei MIPS?

4. [5] Cosa si intende per Superpipeline e pipeline multiple issue? Cosa sono gli "issue"? Descrivere come funziona una pipeline multiple-issue statica e dinamica. Cosa si intende per: a) "Reservation station", "Register renaming", "Commit unit", "Speculazione", "Flush"? Spiegare i motivi che hanno spinto lo sviluppo delle pipeline in queste direzioni. Come può essere gestito uno stallo in una pipeline multiple issue? Come può essere gestito un "flush"?

5. [6] Progettare e disegnare una memoria cache a due vie di 2Kbyte per banco. Si supponga che ciascun banco abbia un'ampiezza di 4 parole. Si supponga un'architettura MIPS a 32 bit. Dimensionare correttamente tutti i

campi. Identificare dove viene cercato il dato associato alla seguente istruzione di lettura: lw \$t0, 2116(\$zero) (lettura della parola che inizia all'indirizzo 2080 della memoria principale).

6. [2] Cosa si intende per parallelismo implicito ed esplicito? Cos'è un cluster? Cos'è un'architettura multi-core? Quali sono le maggiori problematiche per cluster e architetture multi-core?

7. [2] Cosa si intende per arbitraggio? Cosa si arbitra e chi arbitra? Come avviene una transazione su un bus sincrono e su un bus asincrono? Quali sono i segnali importanti e perchè?

8. [6] Cosa si intende per hit e miss e come vengono gestiti? Cosa si intende per gerarchia di memoria? Cosa si intende per coerenza di una memoria? A quale tipo di memoria si applica? Quali sono i meccanismi messi in atto per garantire la coerenza della memoria? Cosa si intende per consistenza? Che differenza esiste tra una memoria SRAM e una memoria DRAM. Cosa si intende per refresh di una memoria? A quali memorie si applica e perchè? Cosa si intende per interleaving e a cosa serve? A quali tipi di memoria si applica? Cosa si intende per lettura in modalità "burst" dalla memoria e a cosa serve? A quali memorie si applica?

### Registri del register file

0	zero	constant 0	16	s0	callee saves
1	at	reserved for assembler	...		(caller can clobber)
2	v0	expression evaluation &	23	s7	
3	v1	function results	24	t8	temporary (cont'd)
4	a0	arguments	25	t9	
5	a1		26	k0	reserved for OS kernel
6	a2		27	k1	
7	a3		28	gp	Pointer to global area
8	t0	temporary: caller saves	29	sp	Stack pointer
...		(callee can clobber)	30	fp	frame pointer (s8)
15	t7		31	ra	Return Address (HW)

