

Cognome e nome dello studente:

Matricola:

1. [7] Data la CPU N. 1, specificare il contenuto di **tutti i registri** (parte master) quando è in esecuzione il seguente segmento di codice [4]:
0x00000400 andi \$s5, \$t2, 128
0x00000404 lw \$s1, 16(\$s0)
0x00000408 sub \$t4, \$s5, \$s4
0x0000040C addi \$t1, \$s1, 48
0x00000410 sw \$t1, 16(\$s1)
0x00000414 sub \$s2, \$s0, \$s2
quando l'istruzione di andi si trova in fase di WB. Specificare sullo schema (con colore o con tratto grosso) quali linee di dati e di controllo, all'interno dei diversi stadi, trasportino dati utili all'esecuzione dell'istruzione in esecuzione in quel particolare stadio [2]. Modificare la CPU in modo che gestisca correttamente la propagazione anche per le istruzioni addi [3].
2. [2] Cos'è un hazard? Quali tipi di hazard vengono identificati? Cos'è uno stallo? Stallo e bolla sono la stessa cosa? Si verificano hazard nell'esecuzione del codice precedente? Motivare la risposta.
3. [10] Descrivere come funzionano le seguenti tecniche e dire se sono tecniche principalmente software o hardware e perchè. In alcuni casi la risposta corretta può essere entrambi gli approcci. Identificare quali sono i punti forti ed i punti deboli.
 - a) Superpipeline
 - b) Predizione dei salti e branch prediction buffer
 - c) Speculazione
 - d) Parallelizzazione dell'esecuzione
 - e) Parallelizzazione a livello di parola
 - f) Pipeline superscalari
 - g) Pipeline dotate di VLIW
 - h) Esecuzione fuori ordine
 - i) Reservation station
 - j) Buffer di riordino
 - k) Ridenominazione dei registri
 - l) Branch delay slot
 - m) Write back
 - n) Write through
 - o) Bus snooping
 - p) Protocolli di coerenza della memoria con un esempio
 - q) Consistenza della memoria
 - r) Cluster
 - s) Multi-core
 - t) Issue
4. [4] Cos'è la memoria virtuale? Cos'è il "Translation Lookaside buffer"? Cos'è la Tabella delle pagine? A cosa servono la memoria virtuale, il TLB e la tabella delle pagine? Che relazione c'è tra la memoria virtuale e la memoria fisica? Chi utilizza la memoria virtuale? Chi utilizza la memoria fisica? Cosa succede quando la CPU chiede una parola alla memoria? Quali passi successivi avvengono?
5. [4] Cosa sono gli interrupt e le eccezioni? Come vengono gestite dai sistemi operativi? Specificare gli elementi della CPU che sono dedicati alla gestione delle eccezioni e supportano il sistema operativo nel MIPS. Modificare la CPU sopra per potere gestire un'eccezione di "Istruzione non valida". Cosa si intende per mascheramento degli interrupt? Viene praticato nei MIPS? Scrivere lo scheletro di un procedura Assembler MIPS di risposta alle eccezioni.
6. [1] Che tipo di architettura è un'architettura INTEL? Riportare alcune caratteristiche e confrontare alcune istruzioni con l'equivalente MIPS
7. [6]. Data un cache a 4 vie, ciascuna via memorizza 4 Kbyte, da dove viene caricato il dato dall'istruzione lw \$t0, 3072(\$0)? Supponete che i dati siano su 4 Byte e che la cache abbia linee di 128 bit. Disegnare la porta di lettura. Cosa si intende per lettura in modalità "burst"? Perchè è importante?
8. [3] Cosa rappresenta il "roof model"? Cosa rappresenta l'intensità aritmetica? Si riferisce ad una CPU o ad un particolare programma? Quali sono i passi per ottimizzare le prestazioni del codice suggeriti dal roof-model?

Registri del register file

0	zero	constant 0	16	s0	callee saves
1	at	reserved for assembler	...		(caller can clobber)
2	v0	expression evaluation &	23	s7	
3	v1	function results	24	t8	temporary (cont'd)
4	a0	arguments	25	t9	
5	a1		26	k0	reserved for OS kernel
6	a2		27	k1	
7	a3		28	gp	Pointer to global area
8	t0	temporary: caller saves	29	sp	Stack pointer
...		(callee can clobber)	30	fp	frame pointer (s8)
15	t7		31	ra	Return Address (HW)

CPU N. 1

