



Firmware Multiplier

Prof. Alberto Borghese
Dipartimento di Informatica
borgnese@di.unimi.it

Università degli Studi di Milano

Riferimenti sul Patterson 5a ed.: B.6 & 3.4



Sommario



Il moltiplicatore firmware

Ottimizzazione dei moltiplicatori firmware



L'approccio firmware

Nell'approccio firmware, viene inserita nella ALU una unità di controllo e dei registri. L'unità di controllo attiva opportunamente le unità aritmetiche ed il trasferimento da/verso i registri. Approccio “*controllore-datapath*”.

Viene inserito un microcalcolatore dentro la ALU.

Il primo microprogramma era presente nell'IBM 360 (1964).



L'approccio firmware vs hardware



La soluzione HW è più veloce ma più costosa per numero di porte e complessità dei circuiti.

La soluzione firmware risolve l'operazione complessa mediante una sequenza di operazioni semplici. E' meno veloce, ma più flessibile e, potenzialmente, adatta ad inserire nuove procedure.

La soluzione HW è percorsa per le operazioni frequenti: la velocizzazione di operazioni complesse che vengono utilizzate raramente non aumenta significativamente le prestazioni (legge di Amdahl).



Algoritmi per la moltiplicazione



Il razionale degli algoritmi firmware della moltiplicazione è il seguente.

Si analizzano sequenzialmente i bit del moltiplicatore e:

- 1) Si mette 0 nella posizione opportuna (se il bit analizzato del moltiplicatore = 0).
- 2) Si mette una copia del moltiplicando nella posizione opportuna (se il bit analizzato del moltiplicatore è = 1).

$$\begin{array}{r}
 \text{Moltiplicando} \quad 1\ 1\ 0\ 1\ 1\ x \\
 \text{Moltiplicatore} \quad 1\ 0\ 1 =
 \end{array}$$

$$\begin{array}{r}
 \text{-----} \\
 1\ 1\ 0\ 1\ 1\ + \\
 0\ 0\ 0\ 0\ 0\ - \\
 \text{-----} \\
 1\ 1\ 0\ 1\ 1 \\
 1\ 1\ 0\ 1\ 1\ -\ - \\
 \text{-----} \\
 \text{Prodotto} \quad 1\ 0\ 0\ 0\ 0\ 1\ 1\ 1
 \end{array}$$



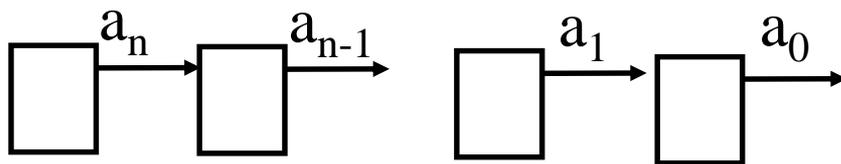
Shift (scalamento)

Dato A su 32 bit: $a_j = a_{j-k}$ k shift amount ($>$, $=$, $<$ 0).

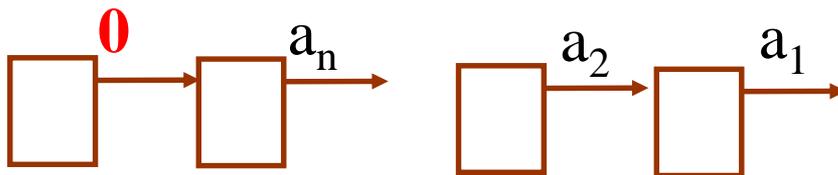
Effettuato al di fuori delle operazioni selezionate dal Mux della ALU, da un circuito denominato *Barrel shifter*.

Tempo comparabile con quello della somma.

Operazioni codificate in modo specifico nell'ISA.



Shift dx 1



Il bit a_0 si “perde”.

Il bit $a_n = 0$.



Moltiplicazione utilizzando somma e shift

Utilizzo un registro prodotto da 64 bit, inizializzato a 0.

$$\begin{array}{r} 11011 \times \text{A} \\ 111 = \text{B} \end{array}$$

$$\begin{array}{r} 00000 + \\ 11011 \end{array}$$

Itero per ogni bit del moltiplicatore:

A) Sommo il moltiplicando al prodotto se il bit = 1.

$$\begin{array}{r} 11111 \\ 11011 + \text{P} \\ 11011 - \text{A} \end{array}$$

B) Shift a sx di un bit il moltiplicando
($A' = A * \text{base}$).

$$\begin{array}{r} 1 \\ 1010001 + \\ 11011 - - \end{array}$$

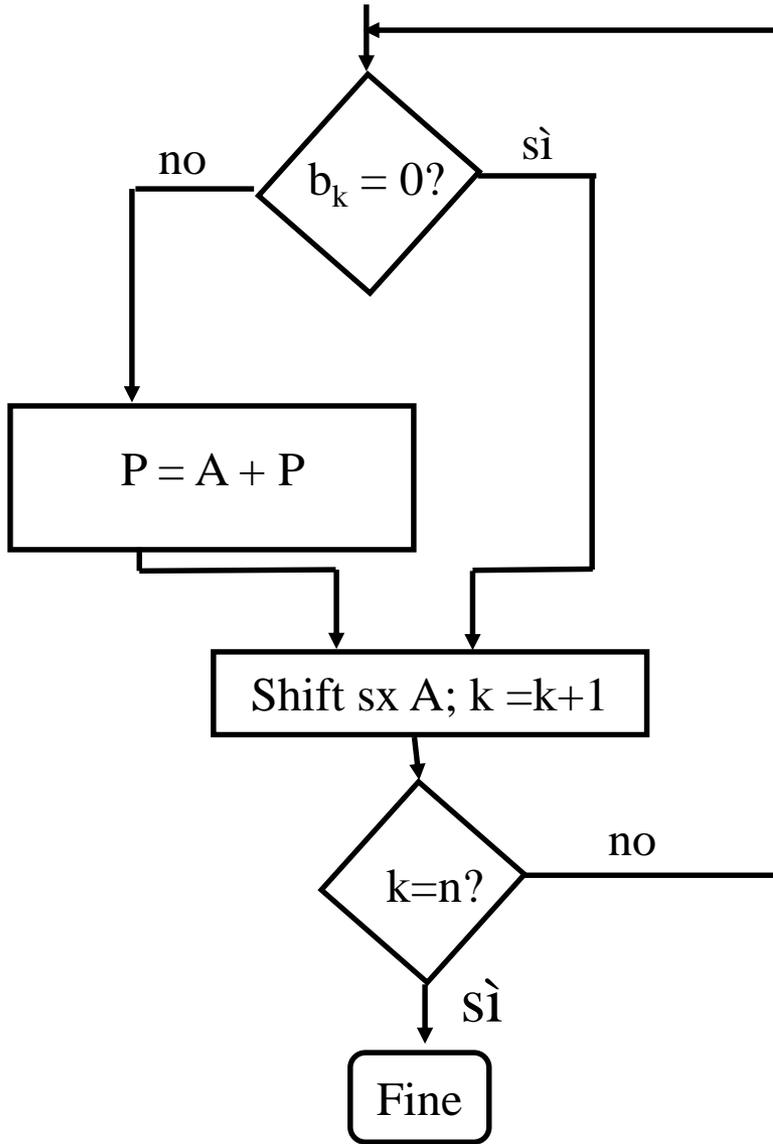
$$10111101$$

$$27 \times 7 = 189$$



L'algoritmo

Inizio: $P = 0; k = 0$



$$\begin{array}{r}
 A \longrightarrow 11011x \\
 B \longrightarrow 111 =
 \end{array}$$

$$\begin{array}{r}
 \text{-----} \\
 00000 + \quad P \\
 11011 \quad A \\
 \text{-----} \\
 11111 \\
 11011 + \quad P \\
 11011 - \quad A_1 \\
 \text{-----} \\
 1 \\
 1010001 + \quad P \\
 11011 - - \quad A_2 \\
 \text{-----} \\
 10111101
 \end{array}$$

$$P_1 = 0 + A$$

$$A_1 = A * 2$$

$$P_2 = P_1 + A_1$$

$$A_2 = A_1 * 2 = A * 4$$

$$P_3 = P_2 + A_2$$

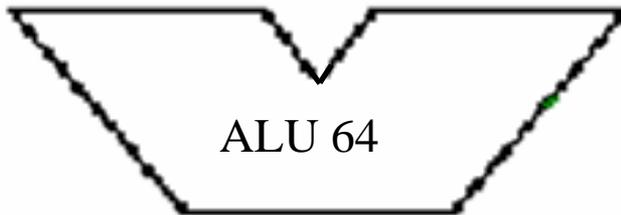
P contiene le somme parziali, al termine conterrà la somma totale, cioè il risultato del prodotto.



Implementazione circuitale – gli attori



A - moltiplicando (shift a sx), 64 bit

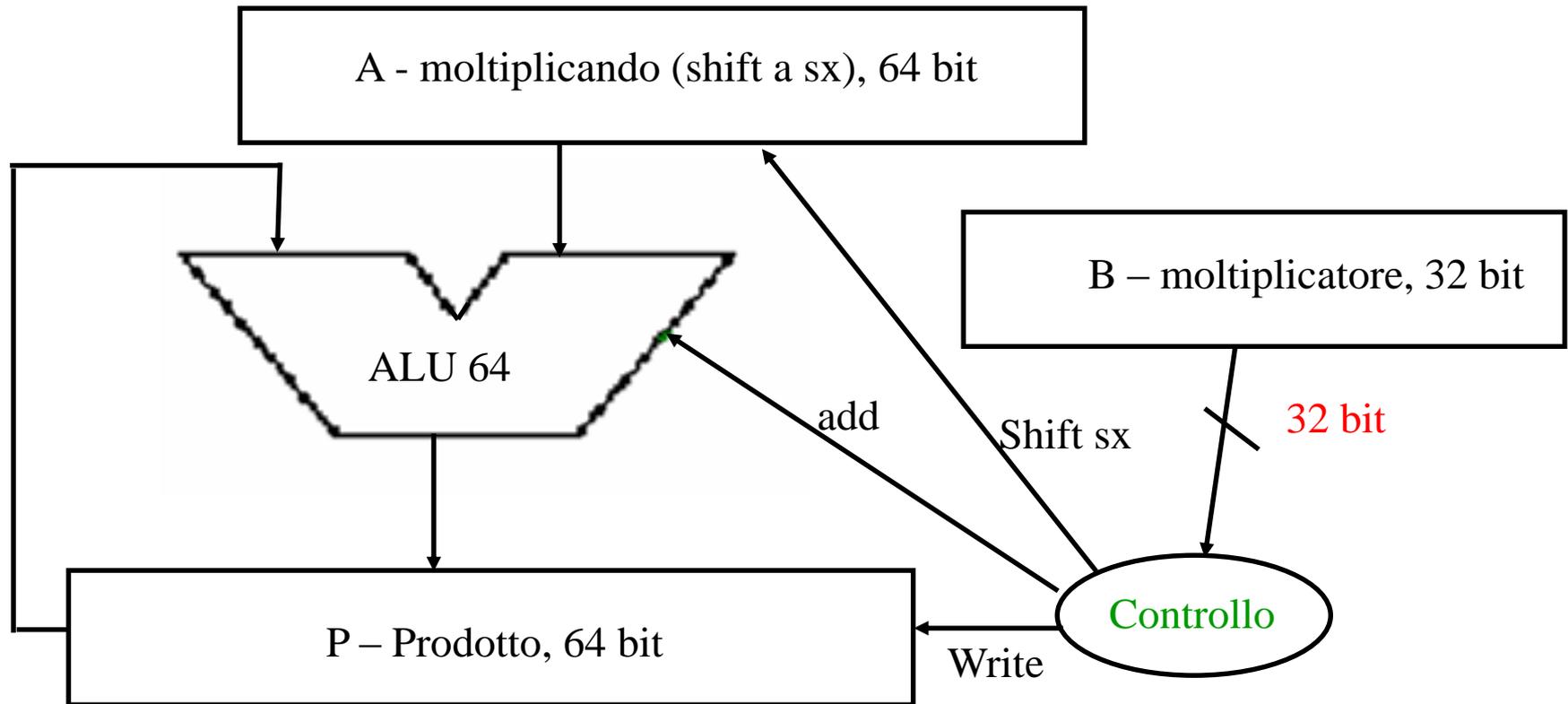


B – moltiplicatore, 32 bit

P – Prodotto, 64 bit

Controllo

Implementazione circuitale



Qual'è il problema?



Esercizi

Costruire il circuito HW che esegui la moltiplicazione 7×9 in base 2.

Eseguire la stessa moltiplicazione secondo l'algoritmo visto, indicando passo per passo il contenuto dei 3 componenti: A che contiene il moltiplicando, B che contiene il moltiplicatore e P che contiene somme parziali ed il risultato finale.



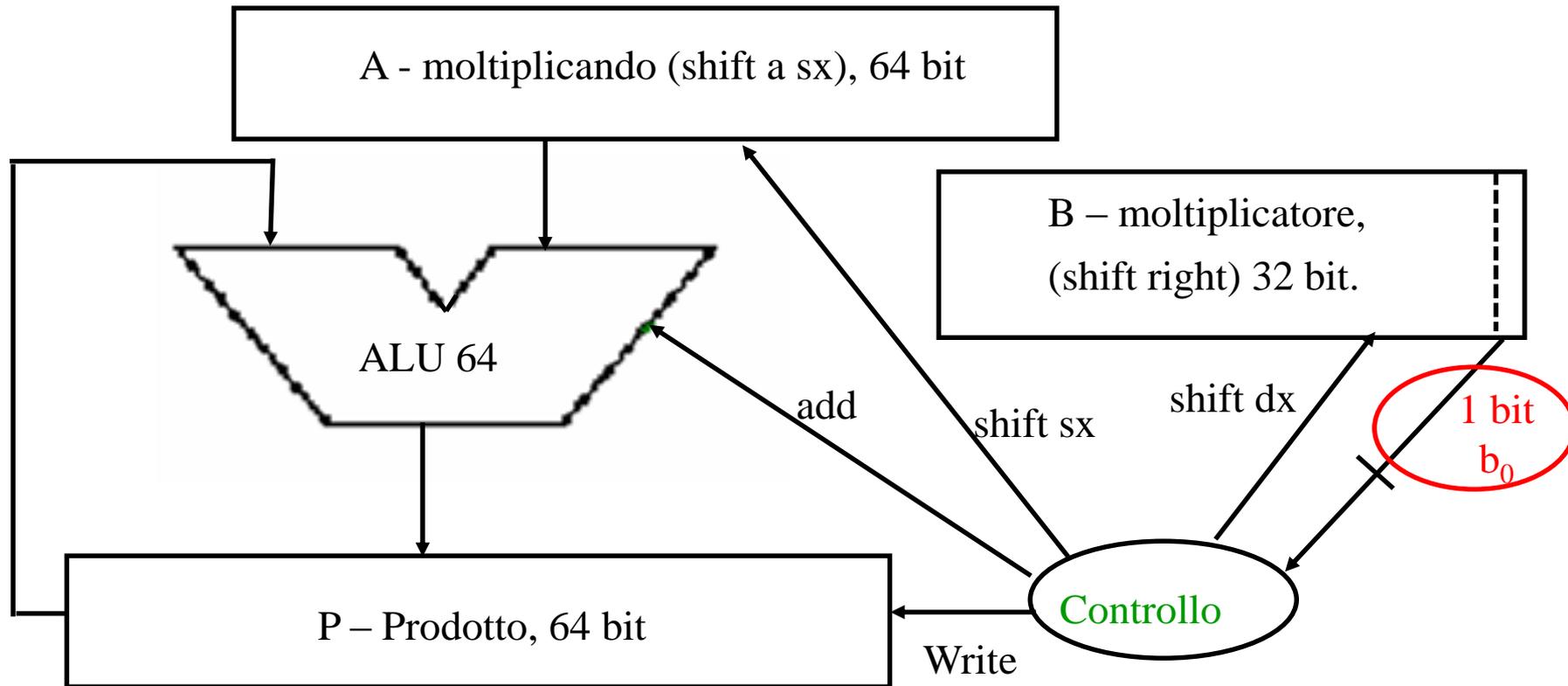
Sommario



I moltiplicatori firmware

Ottimizzazione dei moltiplicatori firmware

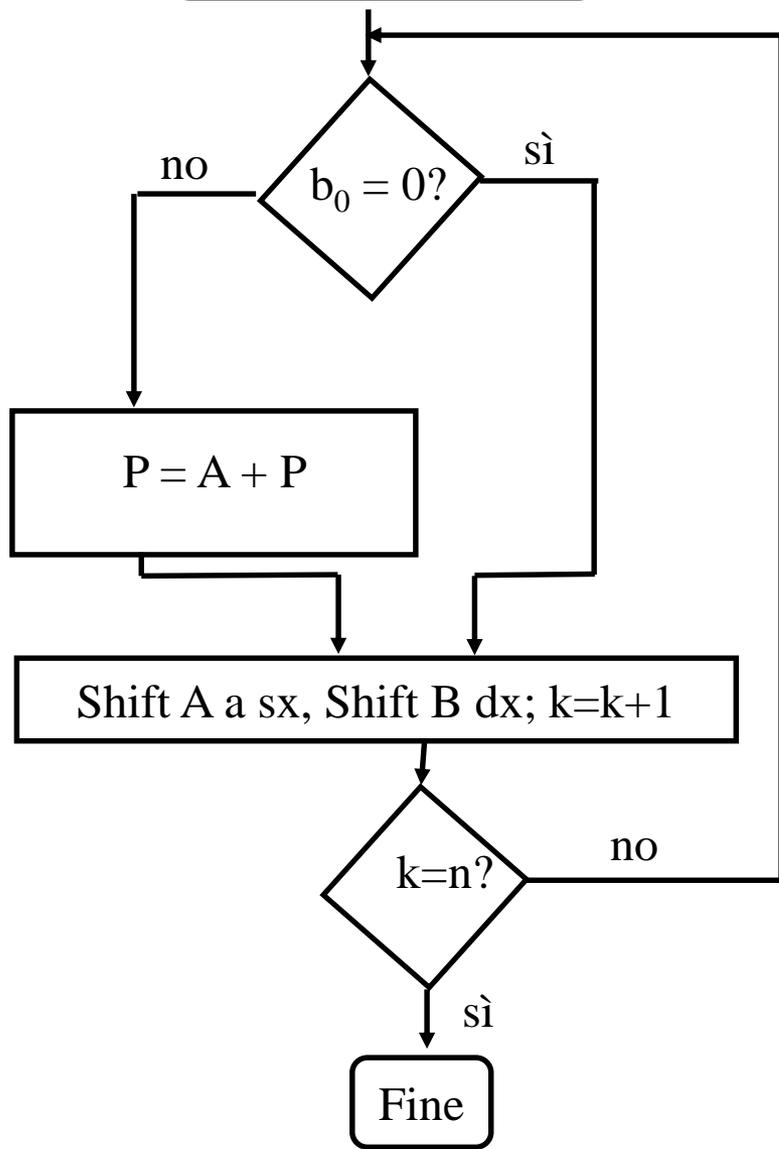
Implementazione circuitale ottimizzata - I





Inizio; P = 0, k = 0

L'algoritmo - I



A → 1 1 0 1 1 x

B → 1 1 1 =

0 0 0 0 0 +	P
1 1 0 1 1	A

1 1 1 1 1	
1 1 0 1 1 +	P
1 1 0 1 1 -	A ¹

1	
1 0 1 0 0 0 1 +	P
1 1 0 1 1 - -	A ²

1 0 1 1 1 1 0 1	

P → 1 0 1 1 1 1 0 1



Esempio - I

Iterazione	Passo	Moltiplicatore	Moltiplicando	Prodotto
0	Valori iniziali	001 <u>1</u>	0000 0010	0000 0000
1	1a: 1 \Rightarrow Prod = Prod + Mcando	0011	0000 0010	0000 0010
	2: Scala a sinistra Moltiplicando	0011	0000 0100	0000 0010
	3: Scala a destra Moltiplicatore	000 <u>1</u>	0000 0100	0000 0010
2	1a: 1 \Rightarrow Prod = Prod + Mcando	0001	0000 0100	0000 0110
	2: Scala a sinistra Moltiplicando	0001	0000 1000	0000 0110
	3: Scala a destra Moltiplicatore	000 <u>0</u>	0000 1000	0000 0110
3	1: 0 \Rightarrow Nessuna operazione	0000	0000 1000	0000 0110
	2: Scala a sinistra Moltiplicando	0000	0001 0000	0000 0110
	3: Scala a destra Moltiplicatore	000 <u>0</u>	0001 0000	0000 0110
4	1: 0 \Rightarrow Nessuna operazione	0000	0001 0000	0000 0110
	2: Scala a sinistra Moltiplicando	0000	0010 0000	0000 0110
	3: Scala a destra Moltiplicatore	0000	0010 0000	0000 0110

0010 x Moltiplicazione su 4 bit.
0011 =



Razionale per una seconda implementazione



Meta' dei bit del registro moltiplicando vengono utilizzati ad ogni iterazione.

Ad ogni iterazione si aggiunge 1 bit al registro prodotto.

Ad ogni iterazione sommo N cifre (pari al numero di cifre del moltiplicando).

Spostamento della ALU sul registro prodotto.

Oppure

Si sposta la somma dei prodotti parziali verso dx di 1 bit ad ogni iterazione.

$$\begin{array}{r}
 11011 \times \\
 111 = \\
 \hline
 00000 + \quad P \\
 11011 \quad A \\
 \hline
 11111 \\
 11011 + \quad P \\
 11011 - \quad A^1 \\
 \hline
 1 \\
 1010001 + \quad P \\
 11011 - - \quad A^2 \\
 \hline
 10111101
 \end{array}$$

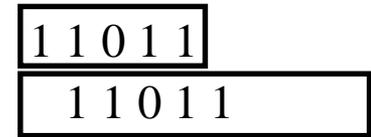
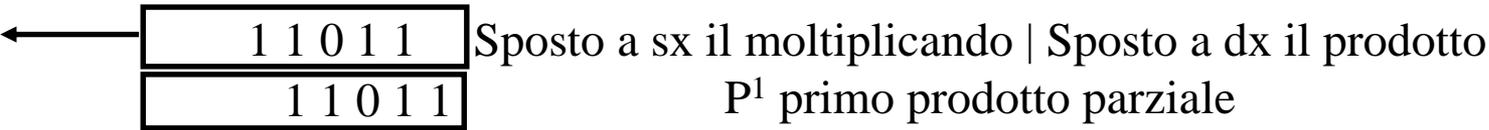


Implementazione ottimizzata - II



1^a implementazione

2^a implementazione



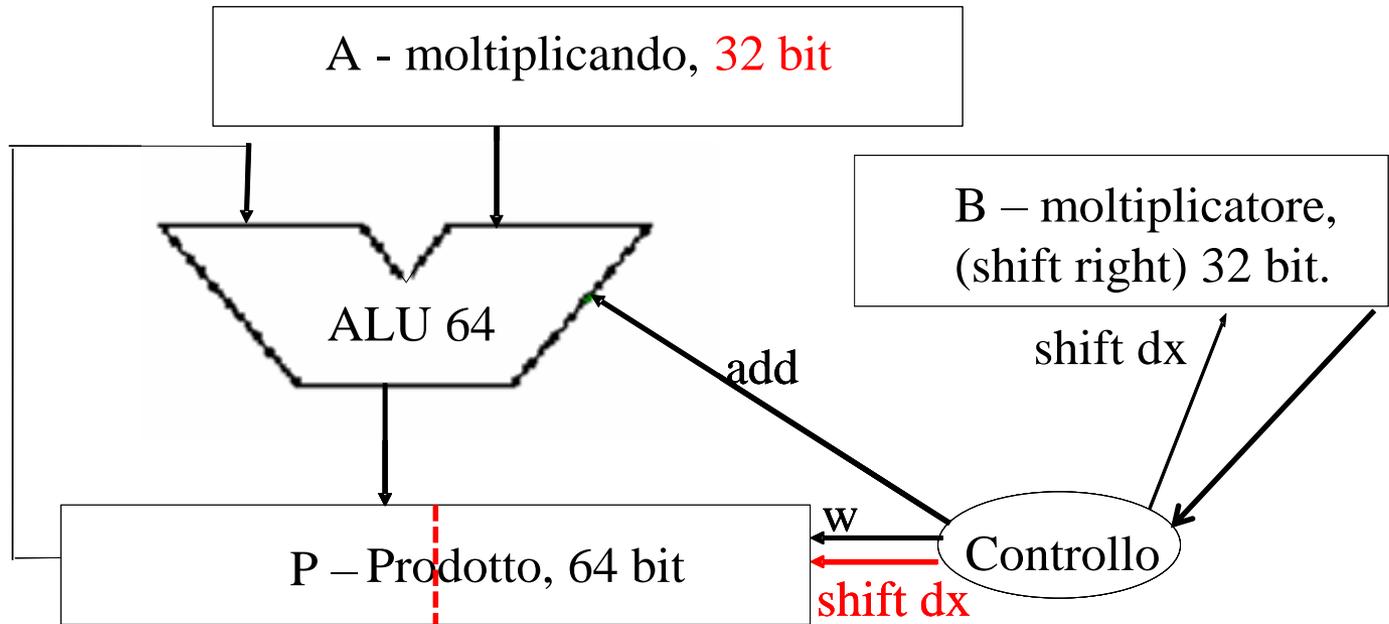
1 1 0 1 1 x
 1 1 1 =

 0 0 0 0 0 +
 1 1 0 1 1

 1 1 1 1 1
 1 1 0 1 1 +
 1 1 0 1 1 -

 1
 1 0 1 0 0 0 1 +
 1 1 0 1 1 - -

 -
 1 0 1 1 1 1 0 1



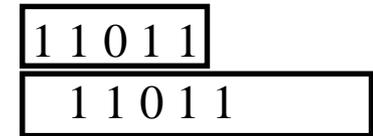
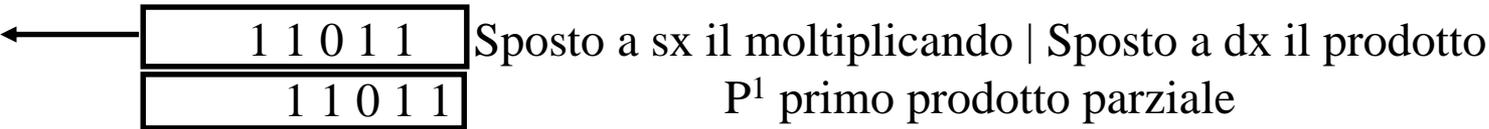
Qual'è il problema?



Implementazione ottimizzata - II

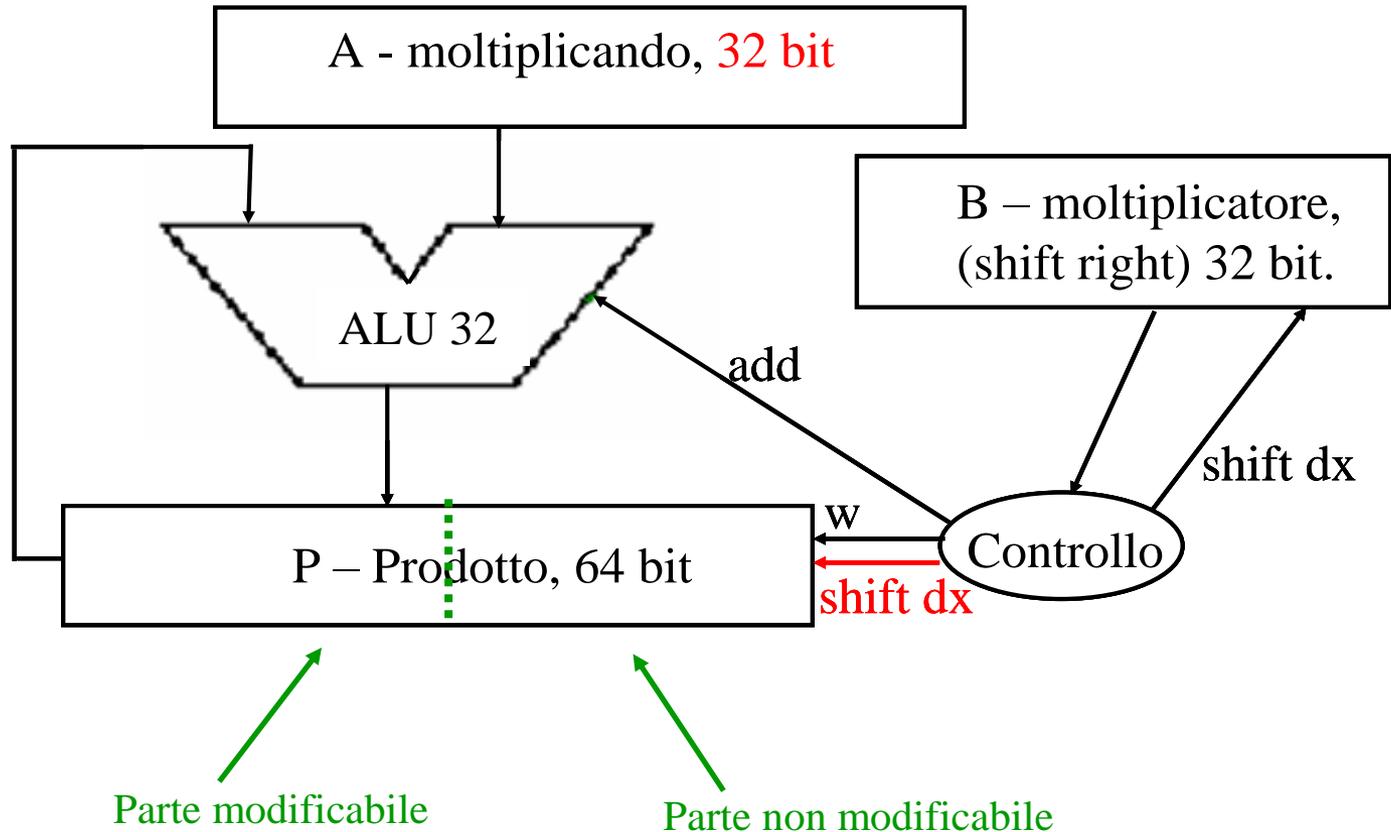
1^a implementazione

2^a implementazione



$$\begin{array}{r} 11011 \times \\ 111 = \end{array}$$

$$\begin{array}{r} \text{-----} \\ 00000 + \\ 11011 \\ \text{-----} \\ 11111 \\ 11011 + \\ 11011 - \\ \text{-----} \\ 1 \\ 1010001 + \\ 11011 - - \\ \text{-----} \\ - \\ 10111101 \end{array}$$





Razionale dell'implementazione - III

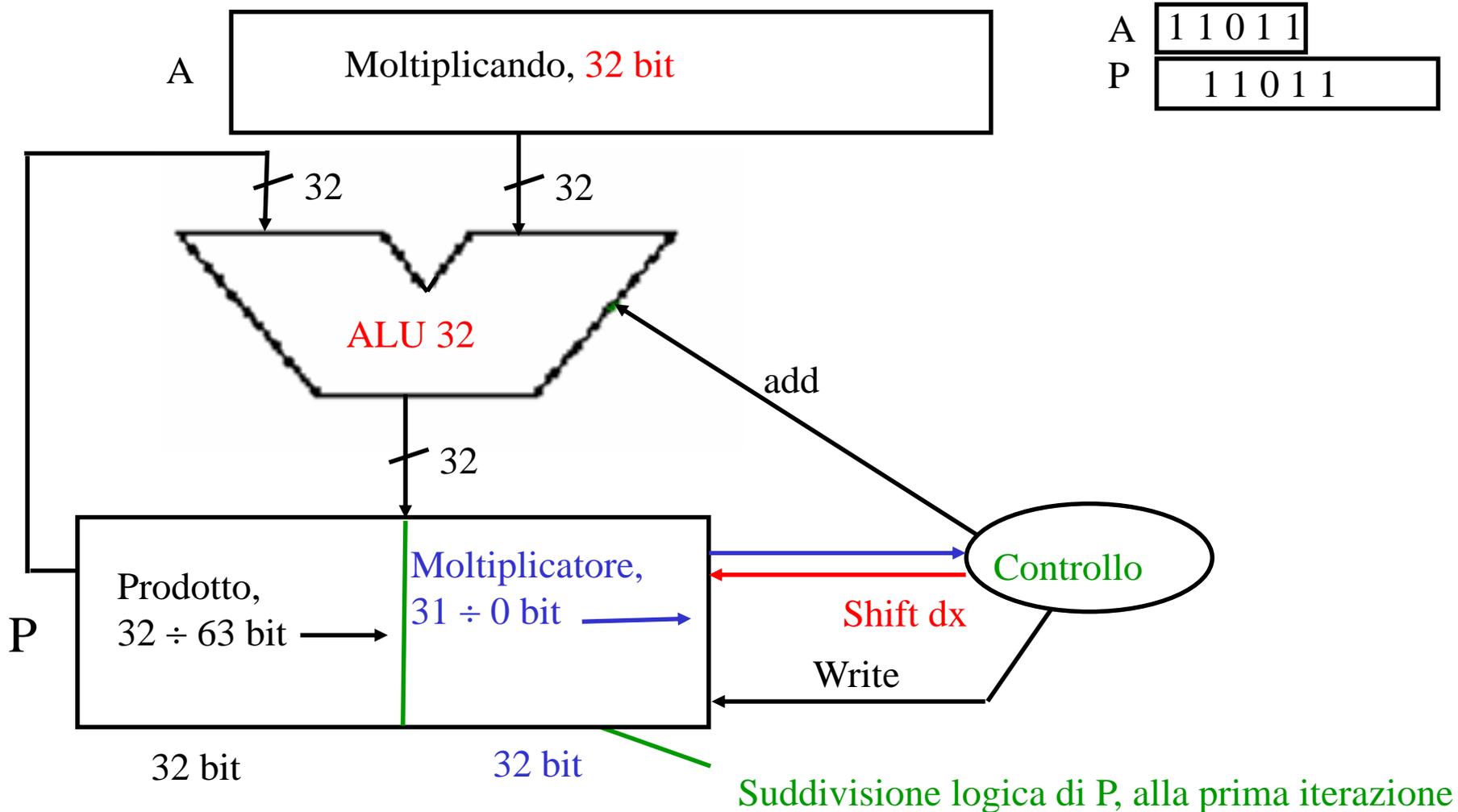


Il numero di bit del registro prodotto corrente (somma dei prodotti parziali) più il numero di bit da esaminare nel registro moltiplicando rimane **costante** ad ogni iterazione (pari a 64 bit).

Si può perciò eliminare il registro moltiplicatore.

$$\begin{array}{r}
 11011 \times \\
 111 = \\
 \hline
 00000 + \\
 11011 \\
 \hline
 11111 \\
 11011 + \\
 11011 - \\
 \hline
 1 \\
 1010001 + \\
 11011 - - \\
 \hline
 - \\
 10111101
 \end{array}$$

Circuito ottimizzato - III

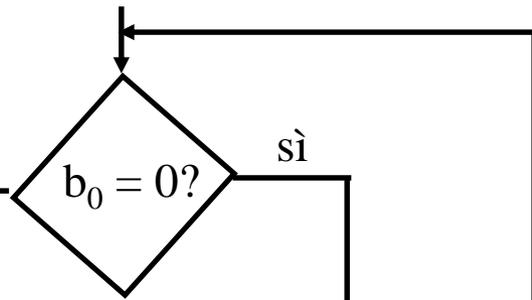


Il moltiplicando è allineato sempre ai 32 bit più significativi del prodotto.
Ad ogni iterazione, il prodotto si allarga, il moltiplicatore si restringe.



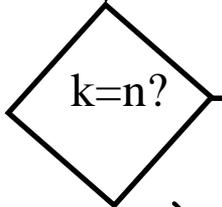
L' algoritmo ottimizzato - III

Inizio; P = 0 | B, k = 0

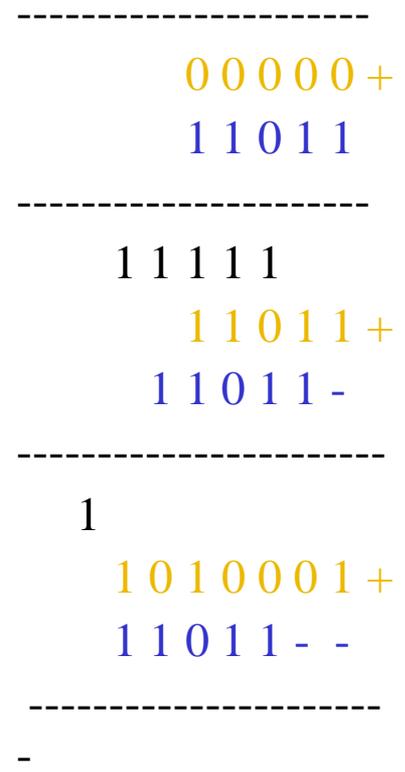


$P_{N \div N * 2 - 1} = P_{N \div N * 2 - 1} + A$

Shift P | B a dx; k=k+1



A → 1 1 0 1 1 x
 B → 1 1 1 =



P → 1 0 1 1 1 1 0 1



Esempio di esecuzione dell'algoritmo ottimizzato - III

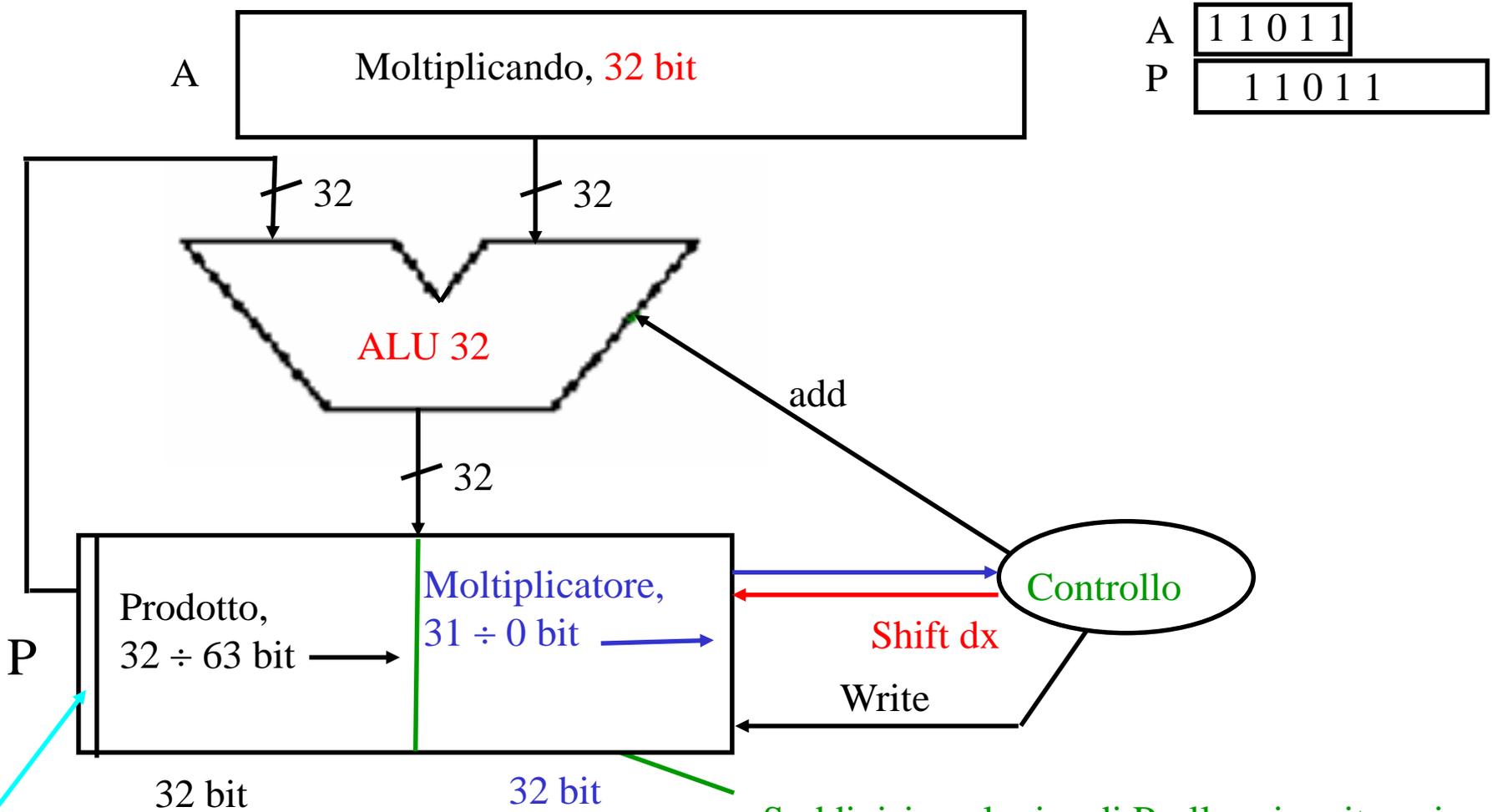


Iterazione	Passo	Moltiplicando	Prodotto
0	Valori iniziali	0010	0000 001①
1	1a: 1 \Rightarrow Prod = Prod + Mcando	0010	0010 0011
	2: Scala a destra Prodotto	0010	0001 000①
2	1a: 1 \Rightarrow Prod = Prod + Mcando	0010	0011 0001
	2: Scala a destra Prodotto	0010	0001 100①
3	1: 0 \Rightarrow Nessuna operazione	0010	0001 1000
	2: Scala a destra Prodotto	0010	0000 110①
4	1: 0 \Rightarrow Nessuna operazione	0010	0000 1100
	2: Scala a destra Prodotto	0010	0000 0110

Il moltiplicando è allineato (e sommato) ai bit più significativi del prodotto.



Circuito finale – moltiplicatore firmware



A	1 1 0 1 1
P	1 1 0 1 1

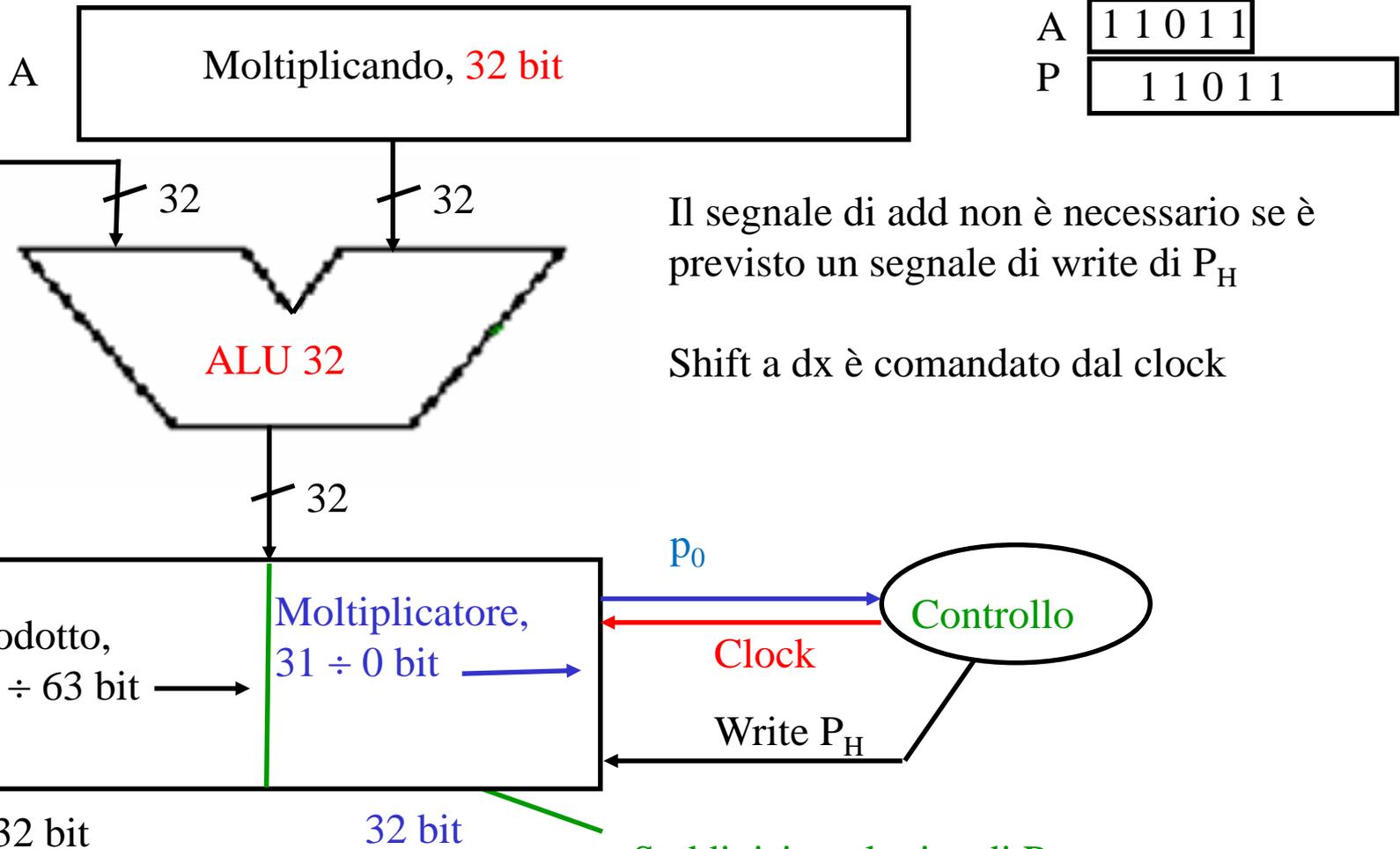
bit 64 – per evitare overflow nelle somme parziali
No overflow finale

Suddivisione logica di P, alla prima iterazione

Le somme parziali possono occupare un bit in più per effetto del riporto.



Circuito finale ottimizzato – moltiplicatore firmware



A

1	1	0	1	1
---	---	---	---	---

P

1	1	0	1	1
---	---	---	---	---

Il segnale di add non è necessario se è previsto un segnale di write di P_H

Shift a dx è comandato dal clock

bit 64 – per evitare overflow nelle somme parziali
No overflow finale

Suddivisione logica di P

Le somme parziali possono occupare un bit in più per effetto del riporto.

Unità di controllo

Macchina a stati finite:

{X} – Stati

{I} – Ingressi

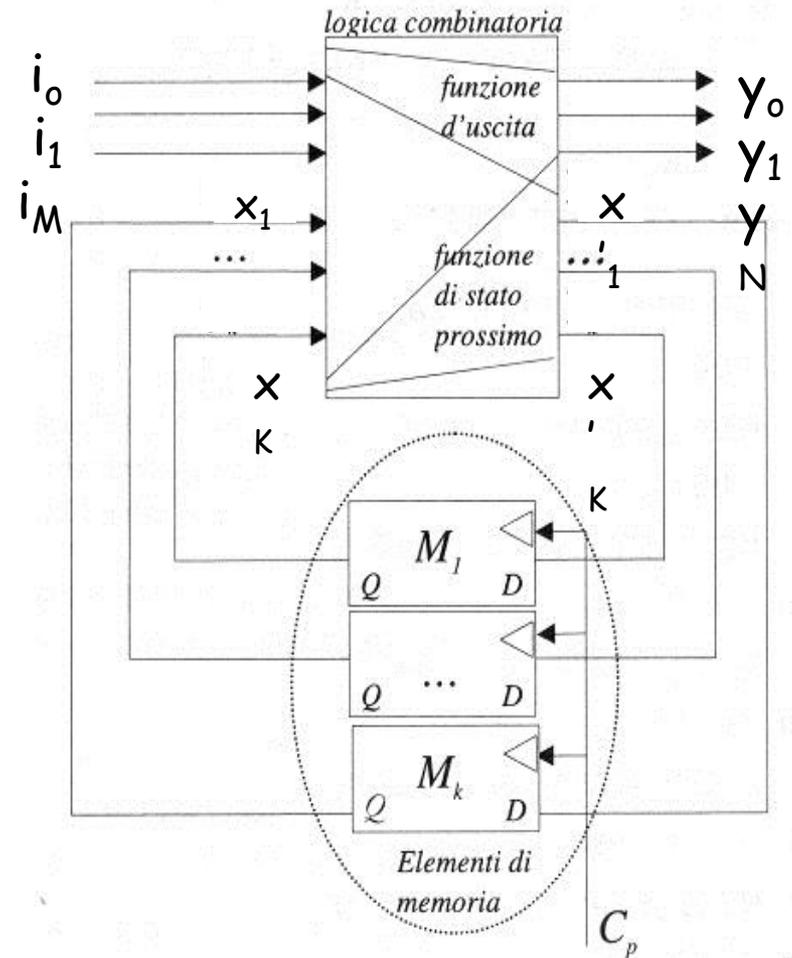
{Y} – Uscite

X_0 – Stato iniziale

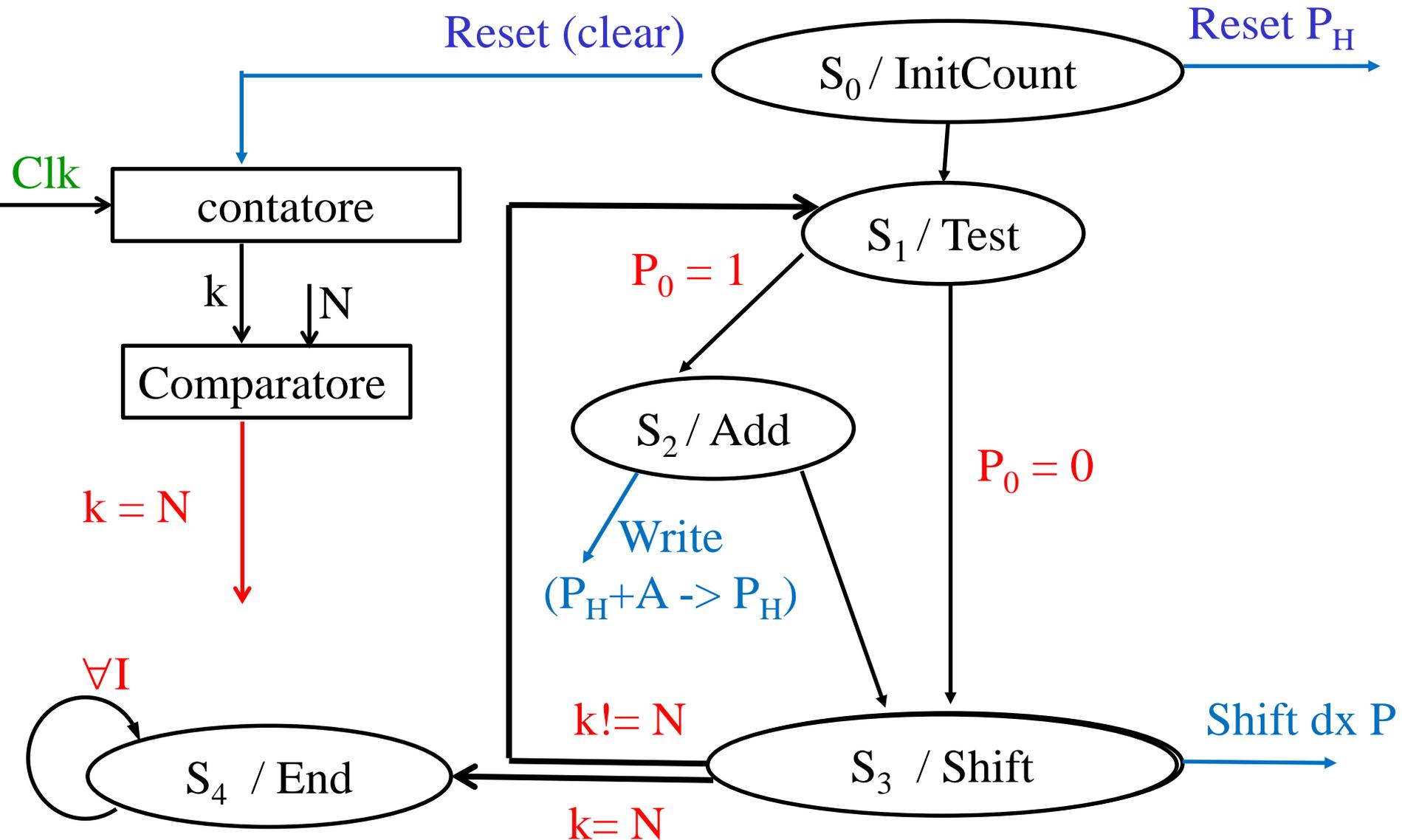
$f(x,i)$ – Funzione stato prossimo

$g(x)$ – Funzione di uscita

Approccio mediante definizione dello STG



Unità di controllo - STG





Unità di controllo - STT



$S = \{\text{InitCount, Test, Add, Shift, End}\}$

$I = \{k, P_0\}$

$Y = \{\text{Write } P_H, \text{Reset } P_H, \text{Shift dx } P\}$

$S_0 = \text{InitCount}$

	$k \neq N$ $P_0 = 0$	$k = N$ $P_0 = 0$	$k \neq N$ $P_0 = 1$	$k = N$ $P_0 = 1$	Uscita
InitCount	Test	Test	Test	Test	Clear counter Reset P
Test	Shift	Shift	Add	Add	
Add	Shift	Shift	Shift	Shift	Write P_H
Shift	Test	End	Test	End	Shift P dx
End	End	End	End	End	



Approcci tecnologici alla ALU

Quattro approcci tecnologici alla costruzione di una ALU (e di una CPU):

- **Approccio strutturato.** Analizzato in questa lezione.
- **Approccio hardware programmabile** (e.g. PLA). Ad ogni operazione corrisponde un circuito combinatorio specifico.
- **Approccio ROM.** E' un approccio esaustivo (tabellare). Per ogni funzione, per ogni ingresso viene memorizzata l'uscita. E' utilizzabili per funzioni molto particolari (ad esempio di una variabile). Non molto utilizzato.
- **Approccio firmware** (firm = stabile), o microprogrammato. Si dispone di circuiti specifici solamente per alcune operazioni elementari (tipicamente addizione e sottrazione). Le operazioni più complesse vengono sintetizzate a partire dall'algoritmo che le implementa.



L'approccio firmware

Nell'approccio firmware, viene inserita nella ALU una unità di controllo e dei registri.

L'unità di controllo attiva opportunamente le unità aritmetiche ed il trasferimento da/verso i registri. Approccio “*controllore-datapath*”.

Viene inserito un microcalcolatore dentro la ALU.

Il primo microprogramma era presente nell'IBM 360 (1964).



L'approccio firmware vs hardware

La soluzione HW è più veloce ma più costosa per numero di porte e complessità dei circuiti.

La soluzione firmware risolve l'operazione complessa mediante una sequenza di operazioni semplici. E' meno veloce, ma più flessibile e, potenzialmente, adatta ad inserire nuove procedure.

La soluzione HW è percorsa per le operazioni frequenti: la velocizzazione di operazioni complesse che vengono utilizzate raramente non aumenta significativamente le prestazioni (legge di Amdahl).



Sommario



I moltiplicatori firmware

Ottimizzazione dei moltiplicatori firmware