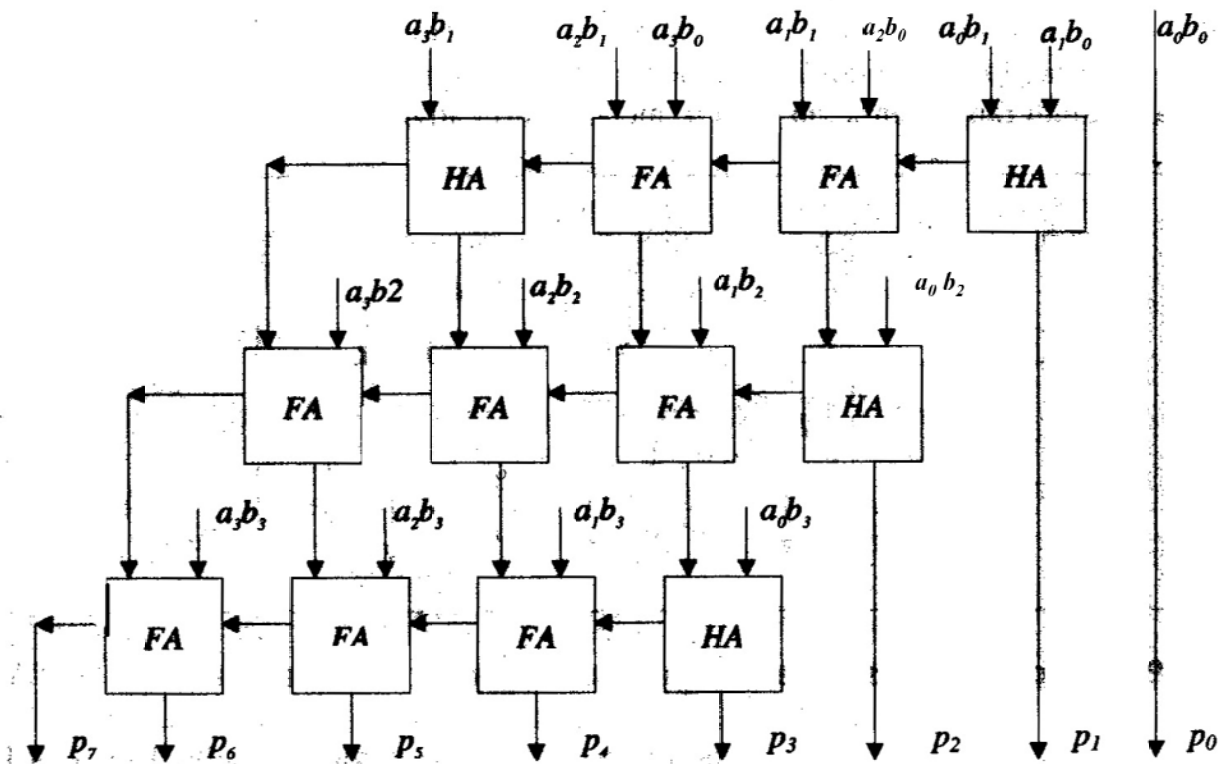


Cognome e nome dello studente:

Matricola:

- 1) [6] Dato il circuito del moltiplicatore HW di numeri interi su 4 bit, riportato sotto:
 1a) [3] calcolare il cammino critico e la complessità e dare la definizione di cammino critico e di complessità..
 1b) [3] illustrare come si possa diminuire il cammino critico del moltiplicatore utilizzando gli stessi principi di ottimizzazione utilizzate nei sommatori ad anticipazione di riporto.



- 2) [4] Convertire -119,25 in binario e salvarlo in formato IEEE754. Qual'è la proprietà caratteristica della codifica binaria intera? Qual'è la proprietà della codifica floating point IEEE e quella della codifica fixed point? Cosa si intende per numeri denormalizzati? Ci sono delle situazioni in cui non si riesce a rappresentare il numero decimale esattamente nella codifica IEEE754?

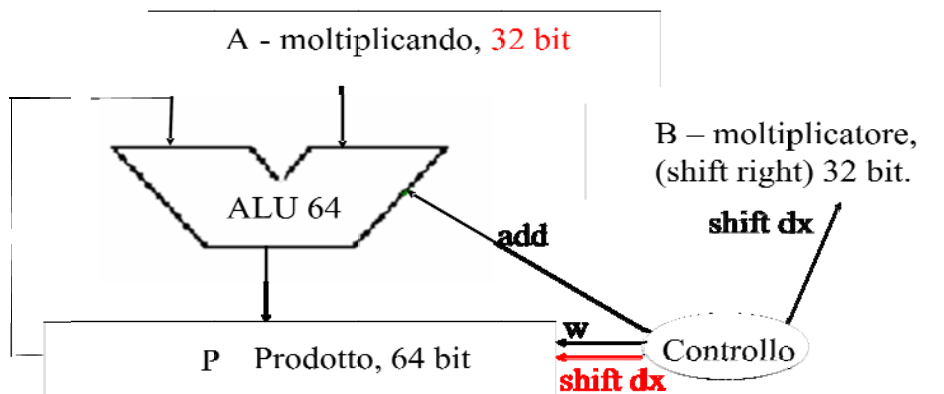
- 3) [2] Calcolare in complemento a 2 la seguente operazione con numeri su 3 bit (1 bit di segno):
- | | |
|-----|---|
| 111 | - |
| 110 | = |
| --- | |
| ??? | |

e tradurre gli operandi ed il risultato in numeri decimali.

- 4) [5] Scrivere la prima e la seconda forma canonica della funzione:
 $\rightarrow \text{Funz} = x y + y !z$
 Definire il cammino critico e la complessità della forma semplificata e delle due forme canoniche. Trasformare la seconda forma canonica nella prima forma canonica.

- 5) [3] E' possibile implementare le funzioni Funz1 e Funz2:
 $\text{Funz1} = xy + y !z$ (dell'esercizio precedente)
 $\text{Funz2} = xz + yz$
 con una PLA con 6 porte AND (a 3 ingressi)? Perché? E con una ROM? Disegnare la ROM che implementi le funzioni Funz1 e Funz2.

- 6) [2] Descrivere come vengono implementate le funzioni di “Set on less than” e di “equal” in una ALU a 32 bit.
- 7) [4] Derivare il circuito di un sommatore con anticipazione di riporto su 4 bit. Calcolare il cammino critico e la complessità di un circuito che sommi numeri su 32 bit utilizzando sommatori a 4 bit con anticipazione di riporto.
- 8) [5] Cosa si intende per firmware, hardware e software? Scrivere un possibile algoritmo della moltiplicazione e della divisione adatto ad essere implementato in firmware. Specificare quali componenti servano per implementarlo e dimensionarli. Disegnare il circuito specificando tutti i segnali di controllo.
- 9) [2] Descrivere l’algoritmo di esecuzione della somma in virgola mobile. Dove vengono effettuati solitamente i calcoli in virgola mobile? Si possono effettuare mediante circuiti combinatori?
- 10) [3] Dato il circuito firmware della moltiplicazione riportato qui sotto:



Progettare mediante porte logiche l’unità di controllo, esaminando il suo funzionamento solamente all’interno di un passo di interazione. Non si consideri quindi l’effetto della temporizzazione (clock) che scandisce le iterazioni.