

**Esercizi di ricapitolazione**

1. Codificare in IEEE754 il numero -37,5.
2. Trasformare in forma SOP (somma di prodotti) la seguente espressione:  

$$Y = U_1 + U_2 \{ \neg[U_3 + U_3(\neg U_2)] \}$$
 E sintetizzarne il circuito. Scrivere poi la funzione implementata in termini di tabella delle verità e le due forme canoniche corrispondenti. [2 + 1 + 4].
3. *Definire un possibile circuito firmware della moltiplicazione [1]. Quali sono i criteri con cui si può ottimizzare un circuito firmware [3]?*
4. Definire gli input e gli output di una ALU. Disegnare il circuito della ALU che opera sul MSB [1+3].
5. *Qual'è la struttura di un sommatore a propagazione di riporto? Qual'è la struttura di un sommatore ad anticipazione di riporto? [3].*
6. *Data la seguente tabella della verità, sintetizzarne il circuito logico:*

<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>y</i>
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1
7. Definire il ciclo di esecuzione di un'istruzione. Quando l'architettura "capisce" di quale istruzione si tratta? [2].
8. Definire quali sono gli elementi più importanti di una CPU. [2]
9. Circuito HW della moltiplicazione. Qual è la parte che ha più peso sul tempo di calcolo? [2].
10. Costruire una ALU a 4 bit che consenta le seguenti operazioni: Somma, sottrazione, add, or, equal, less\_than, e fornisca in output il codice 1111 quando viene selezionata l'operazione *equal* ed i due operandi risultano uguali; e 1000 quando viene selezionata l'operazione *less\_than* ed il primo operando è minore del secondo (NB Non si prevede un segnale di *zero*).
11. In base a quali parametri si definisce la complessità di un circuito combinatorio e perché [2]?

12. Dimostrare che la porta NAND è una porta universale [2].
13. Dimostrare che  $(x + !xy) = (x + y)$  [2].
14. Riportare le configurazione speciali codificate dallo standard IEEE754 [2].

15. Disegnare il circuito HW che implementa la moltiplicazione binaria:

101 x

110 =

Calcolarne complessità e cammino critico.

**16. Data la seguente tabella della verità, sintetizzarne il circuito logico come SOP:**

<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>y</i>
0	0	0	0	1
0	0	0	1	1
0	0	1	0	X
0	0	1	1	X
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	X
1	0	1	0	X
1	0	1	1	X
1	1	0	0	X
1	1	0	1	X
1	1	1	0	1
1	1	1	1	1

Trovare il circuito logico equivalente che minimizzi la complessità ed il cammino critico.

17. Cos'è un processore Cell? Descrivere i passi più significativi dello sviluppo delle architetture. Cosa si intende per elaborazione vettoriale? Cos'è l'accumulatore?

18. Cosa si intende per uscita indifferente di una funzione combinatoria?

19. Dato il circuito ottimizzato della moltiplicazione firmware, definire come occorre modificare l'unità di controllo e i dispositivi perchè possa eseguire anche la divisione.

20. Dato un divisore firmware ottimizzato su 4 bit, definire i passi per la seguente divisione: 1101 : 111, e il contenuto dei diversi registri ad ogni passo.

21. Cos'è un numero denormalizzato? Cosa sono i bit di guardia ed arrotondamento? Perchè vengono utilizzati?

**21. Sintetizzare la macchina a stati finiti che gestisce un distributore automatico di bibite. La macchina deve funzionare in modo che quando vengono inserite monete per esattamente 30 cents la macchina eroga una bottiglia di acqua. All'istante successiva la macchina si resetta qualunque sia l'input. Le monete che si possono inserire sono: 0, 10 centesimi. [7].**

**22. Disegnare lo schema generale di una macchina a stati finiti. Definire i passi per la progettazione e sintesi di una FSM [3].**

23. Sintetizzare una macchina a stati finiti in grado di:

- Leggere un carattere alfabetico (A, B, C o D).
- Concatenarlo agli altri caratteri letti in sequenza.
- Riconoscere la sequenza di caratteri: AAA.

20. Qual'è il ruolo della memoria? Quali funzioni si possono eseguire sulla memoria? Cosa rappresenta l'altezza e l'ampiezza della memoria e come si calcola la capacità? Come è definita la parola di memoria? Qual'è la relazione tra capacità di memoria e numero di bit di indirizzamento?

21. Cosa esprime il principio di località di una memoria? Cosa contiene una memoria cache? Può il contenuto di una memoria cache essere diverso dal contenuto della memoria principale?

22. Cosa si intende per Hit e Miss? Hit rate e miss rate? Può essere la somma di Miss rate e Hit rate maggiore di 15? Cosa si intende per Write through e Write back in una memoria cache? Cosa si intende per LRU? Cosa si intende per modalità a buffer circolare?

23. Data una memoria cache di 64Kbyte ed una RAM di 1Gbyte, a quanti bit devo dimensionare il campo TAG in caso di una memoria cache a mappatura diretta? E in caso di una cache a 2 vie?

24. Dato un indirizzo di memoria di 32 bit, specificare il significato dei singoli bit nel caso di utilizzo di una memoria cache con le seguenti caratteristiche:

Cache a mappatura diretta di 128Kbyte, con linee contenenti 8 parole di 4 byte ciascuna.

Cache a 2 vie di 128Kbyte, con 2 banchi e linee contenenti 8 parole di 4 byte ciascuna.

Cache associativa di 128Kbyte con linee ciascuna contenente 8 parole di 4 byte ciascuna.

Per ciascuna delle 3 cache disegnare il circuito di lettura e scrittura.

25. Disegnare le seguenti tre memorie cache:

Cache a mappatura diretta di 128 byte con linee contenenti 2 parole di 4 byte.

Cache a 2 vie di 128 byte con linee contenenti 2 parole di 4 byte.

Cache associativa con linee contenenti 2 parole di 4 byte.

Data l'istruzione `lw $t0, 1024($zero)`, specificare all'interno delle cache a), b), c) dove si trova la parola che deve essere letta?

26. Specificare per una memoria cache a chi viene inviato: il segnale di Miss, il segnale di Hit, il dato letto; e da dove proviene il dato scritto.

27. Cos'è l'interleaving di una memoria? Come è costruita una memoria SRAM? Cosa significa l'acronimo SRAM? Qual'è il ruolo dell'uscita "three-state" in una memoria SRAM? Discuterlo con un esempio. Come vengono gestiti i banchi di memoria?

28. Qual'è il principio di funzionamento di una DRAM? Cosa è una SDRAM? Quando una SDRAM lavora in "burst mode"? Cosa rappresentano i segnali CAS e RAS di una DRAM? Cos'è il refresh della memoria? Si può leggere la memoria durante il refresh? Perché? Può una SDRAM essere letta in modalità asincrona?

29. Qual è il vantaggio / svantaggio dell'organizzazione a matrice di una memoria?

30. Dato il seguente segmento di codice, descrivere istruzione per istruzione cosa succede in una cache a 2 vie, dove ciascun banco è di 1Kbyte con linee di 4 word, e con tutte le linee con dati non validi:
- lw \$s0, 64(\$zero)
  - lw \$s0, 8(\$zero)
  - lw \$s0, 1032(\$zero)
  - lw \$s0, 2056(\$zero)
  - lw \$s0, 4(\$zero)
  - sw \$s1, 4(\$zero)
31. Disegnare la porta di lettura e scrittura di una cache a mappatura diretta di 2Kbyte e 8 linee, di una cache a 2 vie con banchi di 2Kbyte e linee di 8 word e di una memoria cache associativa di 2Kbyte e 8 linee.
32. Dato un indirizzo di 32 bit, come vengono utilizzati i bit per indirizzare una memoria cache a k-vie?
33. Quali requisiti imporreste alla cache primaria? E alla cache secondaria? Data una dimensione di cache, cosa succede all'aumentare della lunghezza di una linea e all'aumentare del numero di vie?
34. Cosa si intende per split-cache?
35. Come si utilizza la tecnologia three-state all'interno delle memorie? Si applica indifferentemente alle memorie SRAM e DRAM? Perché?
36. Cosa si intende per coerenza e consistenza di una cache?
37. Scrivere una sequenza di operazioni su un sistema a 4 CPU per le quali può non essere mantenuta la coerenza.
38. Cosa si intende per "false sharing"?
39. Cosa si intende per "bus snooping"? Chi lo effettua?
40. Descrivere le tecniche principali per mantenere la coerenza delle cache con la memoria principale.