

Cognome e nome dello studente:

Matricola:

1. [5] Convertire in codifica decimale il numero codificato mediante codifica binaria IEEE 754: 01000000 01100000 00000000 00000000. Quale sarà il numero decimale successivo codificato? E' sempre esatta questa conversione? Perché? Quali sono le proprietà della codifica intera e della codifica in virgola mobile?

2. [13] a) Scrivere un algoritmo di divisione binario e progettare, a macro-blocchi, il circuito firmware che implementa l'algoritmo. Calcolare tutti i passi della divisione binaria tra 2 numeri binari su 4 bit: 1011 e 10.

b) Costruire la macchina a stati finiti contenuta nell'unità di controllo firmware. Ipotizzare che gli input siano: {"Idle", "Start", "End", "MinoreZero"}, dove i segnali Start e End provengono da un contatore esterno all'unità di controllo. Il segnale "Start" provvede anche al reset del contatore. Questo contatore non deve essere costruito. Il segnale "MinoreZero" viene generato dalla ALU del circuito (bit più significativo). Gli Stati della macchina a stati finiti, rappresentano i diversi passi dell'operazione. Le Uscite della Macchina a Stati Finiti comandano la ALU ed i registri (scrittura / scorrimento).

Rappresentare la funzione stato prossimo di questa MSF come SOP, come PLA e come ROM. Quali specifiche occorre dare per le PLA e le ROM? Qual è l'implementazione più vantaggiosa? Cosa sono i mintermini di una funzione? Rappresentare la Macchina a Stati Finiti come Macchina di Huffman. Si possono calcolare il cammino critico e la complessità?

Suggerimenti:

Analizzate bene l'algoritmo che avete appena scritto ed identificate per ciascuna operazione elementari, quali componenti sono coinvolti, cosa viene richiesto, e da chi. Tradurre questa analisi in opportuni segnali che possano essere generati dall'unità di controllo in modo simile a quanto visto per la CPU a singolo ciclo. Ciascuna operazione elementare deve coinvolgere un componente della micro-architettura disegnata. Identificare chiaramente quando due operazioni vengono eseguite sempre in sequenza e quando invece viene richiesto un test; in questo caso identificare le variabili sulle quali il test deve essere eseguito.

3. [2] Cosa si intende per sommatore ad anticipazione di riporto e per sommatore a propagazione di riporto. Quali sono i vantaggi e svantaggi dei due sommatore?

4. [2] Disegnare il ciclo di esecuzione di un'istruzione su un'architettura MIPS a singolo ciclo. Quante fasi si distinguono? Quando l'architettura capisce di che istruzione si tratta? I componenti appartenenti a quali fasi vengono configurati dall'unità di controllo? Perché? Da quali dispositivi è fatto il register file di questa architettura? Perché?

6. [5] Disegnare un latch asincrono di tipo SC. Qual è il cammino critico e la complessità? Trasformare questo latch in un latch sincrono di tipo D. Cosa occorre fare? Perché questo dispositivo viene chiamato anche "trasparente"? Qual è la differenza tra bistabile, latch e flip-flop. Indicare possibili utilizzi dei tre tipi di dispositivo e motivare la risposta.

7. [5] Disegnare una ALU che consenta di eseguire le seguenti operazioni su numeri su 4 bit:

a) **Set on Greater Than** ($a > b$); b) Add; c) Sub; d) OR; e) XOR; f) And

Di quanti bit di controllo ha bisogno la ALU? I bit di controllo della ALU provengono tutti dal Codice Operativo nelle Architetture MIPS? Spiegare la risposta.

8. [2] Modificare la CPU nella pagina seguente perchè possa gestire anche l'istruzione: 0x00000044 j ETICHETTA, dove ETICHETTA punta all'indirizzo 0x0000 8000. Riportare il contenuto dei nuovi cammini associati a questa istruzione, sapendo che il codice operativo dell'istruzione j è 2. Scrivere questa istruzione in formato esadecimale.

9. [2] Disegnare un register file contenete 4 registri a 2 bit, con la sua porta di lettura e scrittura. Dimensionare correttamente gli elementi.

